

博士論文

IoTシステムに向けた

集積化CMOS-MEMSデバイスにおける

容量センシングの高感度化に関する研究

(Sensitivity Improvement of Capacitive Sensing on

Integrated CMOS-MEMS Devices for IoT Systems)

2024年3月

島村 俊重

立命館大学審査博士論文

I o Tシステムに向けた

集積化CMOS-MEMSデバイスにおける

容量センシングの高感度化に関する研究

(Sensitivity Improvement of Capacitive Sensing on

Integrated CMOS-MEMS Devices for IoT Systems)

2024年3月

March 2024

島村 俊重

SHIMAMURA Toshishige

主査：山根 大輔准教授

Principal Referee: Associate Professor YAMANE Daisuke

目次

第1章 序論	
1.1 本研究の背景	1
1.2 本研究の目的と意義	9
1.3 本論文の構成と概要	11
第1章参考文献	15
第2章 集積化CMOS－MEMSデバイスにおける容量センシングの高感度化技術	
2.1 はじめに	25
2.2 容量センシングの設計方針	25
2.3 CMOS－MEMSインターフェースの構成例	27
2.3.1 寄生素子補償回路技術	27
2.3.2 未知パラメータ抽出モデリング技術	30
2.3.3 異種センサー一体化レイアウト技術	32
2.4 本章のまとめ	36
第2章参考文献	37
第3章 寄生容量を伴う可動体容量のリアルタイム検出手法	
3.1 はじめに	38
3.2 容量センシング手法の原理	40
3.3 センサ回路の感度	42
3.4 実験結果	46
3.4.1 テストチップ	46
3.4.2 センシング特性	50
3.5 本章のまとめ	50
第3章参考文献	53
第4章 寄生直列抵抗を伴う被検体容量による表面形状認識手法	
4.1 はじめに	54
4.2 表面形状認識手法の原理	56
4.2.1 画質の劣化	56
4.2.2 容量センサ回路	58

4.3 寄生直列抵抗の電圧降下抑制によるセンシング感度向上	60
4.4 実験結果	65
4.4.1 テストチップ	65
4.4.2 センシング特性	67
4.5 本章のまとめ	69
第4章参考文献	71

第5章 寄生並列抵抗を伴う被検体容量の周波数特性計測手法

5.1 はじめに	73
5.2 寄生並列抵抗の補償機能を有する小型インピーダンス検出回路	74
5.3 検出可能範囲と感度	76
5.4 実験結果	79
5.5 本章のまとめ	81
第5章参考文献	82
第5章付録	83

第6章 複合構造を有するセンサと電荷非破壊センサ回路の設計統合手法

6.1 はじめに	86
6.2 混合構造の振動増幅機構	88
6.3 振動増幅機構モデル生成のための設計統合手法	89
6.4 振動センサ回路構成	93
6.5 振動センサの回路シミュレーション用ビヘイビアモデル	94
6.6 ナノワット振動センシングのためのクロックレス閾値回路	97
6.6.1 振動センサ回路のアーキテクチャ	97
6.6.2 ナノワット閾値回路のコンセプト	98
6.6.3 ナノワット閾値回路の設計	102
6.7 実験結果と考察	105
6.7.1 測定	105
6.7.2 センシング特性	106
6.7.3 パラメータ抽出	108
6.7.4 シミュレーション結果と測定結果の比較	110
6.7.5 閾値動作	111
6.7.6 電源電流	112
6.8 性能解析	112
6.8.1 信号遷移時間の推定	112
6.8.2 回路構成の効果	114

6.9 本章のまとめ	116
第6章参考文献	118
第7章 容量周波数特性の計測機能を有する表面形状認識センサLSI	
7.1 はじめに	121
7.2 不正検知電極とインピーダンス検出回路の設計統合レイアウト手法	122
7.3 合成構造を有する電極モデルのための設計統合シミュレーション手法	125
7.4 実験結果	126
7.5 本章のまとめ	129
第7章参考文献	131
第8章 結論	
8.1 本研究で得られた成果	132
8.2 今後の課題と展望	135
謝辞	139
発表論文等	141

第1章

序論

1.1 本研究の背景

「自分の感受性くらい 自分で守れ ばかものよ」詩人の茨木のりこの有名な詩の一節である [1]。物事を捉えるのに周りの意見に流されることなく、ぶれない自分の考えを持つことの大切さに気づかされる。感受性とは、外界からの刺激を深く感じ取り、心に受けとめる能力[2]のことである。すなわち、物事を形作る情報を取得し、過去に得た経験や知識を基に解釈することであり、認知において感受性が寄与すると考えられる。医師のHans Roslingは、自著の「Factfulness」の中で、ニュース等のメディアから得られる情報にはバイアスがかかる傾向があることを指摘しており、客観的なデータに基づく分析により物事の事実を正しく捉えられると説いている[3]。スウェーデンのEricson社は調査レポート「10 Hot Consumer Trends 2030」を発表し、人間の脳や五感(視覚、聴覚、嗅覚、味覚、触覚)をインターフェースとしてインターネットにつながる「Internet of Sense」に基づくサービスが2030年には利用されるとしている[4]。五感に対応した人間の器官として、目は光、耳は音と加速度、鼻は匂い、舌は味、皮膚は物体の凹凸と温度の情報を取得している。これらの機能を担う電子デバイスとして、光と温度は、半導体のPN接合の動作原理に基づいたイメージセンサや温度センサにより電気信号に変換される[5, 6]。匂いは、匂いの元となるガスが酸化半導体に吸着することによる抵抗変化を利用するガスセンサにより検出される[5,7]。味は、舌や口腔内の味蕾で感じる化学物質を受容する脂質／高分子膜により、化学物質と電気的な相互作用をしたり、吸着したりする味覚センサを用いることで電圧信号が得られる[8]。音、加速度、物体の凹凸については、マイクロホン[9]、加速度センサ[5]、触覚センサ[10, 11]により検出される。これらのセンサは検出対象の物理量に伴う力を可動体に生じさせ、可動体の位置の変化を静電容量として検出する。容量センシング技術は、五感における聴覚、触覚の機能実現の役割を担っている。

客観的なデータに基づく分析を可能とするシステムに対して、様々なモノの情報を収集して集めたデータを解析して知見を得たり、人が要求しなくても必要な情報が自然に提示されたりするデータ駆動型の社会に向けたシステムとして、「Internet of Things (IoT)」という概念が米国Auto-ID Centerより1999年に提唱された[12]。LSIの微細加工プロセスを応用して微小な機械構造を作製するためのMEMS (Micro-Electro-Mechanical Systems) 技術[13-15]を用いたセンサをCMOS LSIに

搭載した集積化CMOS－MEMSデバイス[16-18]はIoTシステムの高度化に有効と考えられる。IoTシステムにおける集積化CMOS－MEMSデバイスの位置づけについて、図1を用いて説明する。IoTデバイスは身の回りのモノの情報を取得し、デジタル化されたデータとしてIoTゲートウェイに送信する。IoTゲートウェイは複数のIoTデバイスからのデータを受信し、インターネットを介して、IoTプラットフォームに転送する。IoTプラットフォームにおいてデータが蓄積され、アプリケーションの要求に従ってデータが分析される。IoTデバイスは物理量を電気信号に変換するセンサ、センサからの電気信号をデジタル信号とするセンサ回路、無線にてデータを送信するRF (Radio Frequency) 送信機の機能を有する。身の回りの様々なモノに設置されることから、ミリサイズレベルの小型であることが求められる。また、メンテナンスコスト抑制の観点から、消費電力が小さいことも必要となる。集積化CMOS－MEMSデバイスの形態とすることにより、IoTデバイスの適用範囲を拡大することができ、新しいIoTシステムの創出を期待できる。集積化CMOS－MEMSデバイスの形態としては、ミリサイズのIoTデバイスの他、0.1ミリ以下のセルがアレイ状に配置されたセンサアレイがある。

IoTデバイスに搭載されるセンサとしては、加速度センサ、マイクロホン、圧力センサ、温度センサ、湿度センサ、照度センサがある。温度センサ、湿度センサや照度センサは検出対象の時間変化が小さく、センシングの時間分解能の制約が低いため、信号量を蓄積することができる。また、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$:PZT) などの圧電体(ピエゾ)を用いた加速度センサやマイクロホンの場合、センサが検出対象の物理量から電流量の変化を生成することから、センサ出力における電圧変化を確保しやすい。これらに対して、可動する電極と固定された電極間の容量値の変化を検出する容量センシングでは、検出対象の物理量に対する電極の可動量の確保が困難である場合や、センサ回路に接続される電極に生じる寄生の容量や抵抗による信号量の減少が生じる場合、センシングの難易度が高くなる。一方で、容量センシングに用いるセ

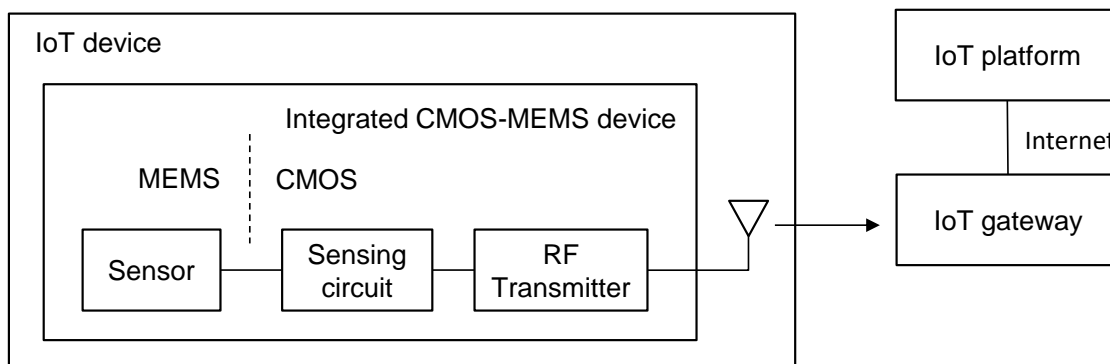


図1 IoTシステムにおける集積化 CMOS-MEMS デバイスの位置づけ

ンサは検出対象に電極を配置するシンプルな構成である、PZTの形成のような特殊な製造工程を必須としない、センシング時に流れる電流は抵抗のセンシングと比較して極めて小さく低消費電力に向いているといった利点がある。

静電容量は一对の電極において所定の電圧を印加した際に、電極に誘起される電荷量から測定される。容量の絶対標準はオーストラリアのThompsonとLampardからクロスキャパシタの原理として1956年に提案された[19, 20]。インダクタと測定対象の容量を直列接続した共振回路の構成とする共振法では、接続線の寄生容量の変動により100 pF以下の微小容量の計測は困難であった。基準とする容量との比較により寄生容量の影響を除去する交流ブリッジ法が提案され、0.1 pF以下の計測が可能となった[21]。MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) が集積化されたLSI (Large Scale Integration) が1960年に登場し、1980年までには変成器ブリッジを電子化する方式や、容量の抵抗成分が小さい場合の計測に適した充放電法や発振法による方式が用いられ、測定器としてのコスト低減が進み、センサへの応用として、圧力や水分の計測に適用された[22]。LSIを用いた容量センサ回路としては、1990年代から慣性センサがターゲットとされ、MEMS技術によるセンサを搭載した集積化CMOS-MEMSデバイスが開発された[23-46]。携帯電話からスマートフォンへの進化に伴って、マイクロホンやタッチパネルに向けた容量センサ回路が開発された[47-56]。近年は、様々なモノの情報を収集して集めたデータを解析して知見を得たり、人が要求しなくても必要な情報が自然に提示されたりするデータ駆動型社会を可能とするIoT (Internet of Things) システムの高度化に向け、Lab-on-a-chip技術を用いたバイオメディカル用途や、気圧や湿度を検出する環境センシングに向けた容量センサ回路が開発されている[57-83]。

容量センシングの性能指標としては、「計測値の正しさ」と「感度」の観点がある。「計測値の正しさ」としては、「精度」と「正確度」の面が考慮される。「精度」とは、複数回の測定値の再現性(ばらつき)の度合いであり、「正確度」は、検出対象の真値との近接度を示す尺度である[84, 85]。「精度」は検出対象の信号に付加される雑音に起因し、アナログ信号からデジタル信号への変換を行うADC (Analog to Digital Converter) においてはデジタル値に離散化する上での分解能に対応する。変換速度や消費電力が考慮され、用途に応じてADCの変換方式が選択される。フラッシュ型ADC[86]やパイプライン型ADC[87,88]は、通信装置など高速な信号処理に適している。LSIの微細化に伴う電源電圧の低下やMOSFETの高速化に適した構成として、 $\Delta \Sigma$ 型ADC[89]が開発され、高音質なオーディオの再生に用いられた。逐次比較型ADC[90,91]は、小型、低消費電力を特徴とし、ウェアラブル端末や無線センサノードに適用される。高感度な容量センサ回路向けには、分解能を高く設定できる $\Delta \Sigma$ 型ADC

が採用される [37, 46, 92-94]。「正確度」はLSIを構成するMOSFET等の素子のバラツキに起因することが多く、ADCにおいては入出力特性の非線形性に対応する。抵抗や容量素子をアレイ状に構成してデジタル的に制御する可変素子を用いたキャリブレーションの技術を導入して線形性を改善することで、素子バラツキの影響が抑制される[95-97]。

「感度」は分野によって様々な使われ方をするが、計測分野においては、2つの意味を含み、「感度限界」と「感度係数」という指標がある[98]。「感度限界」は計測可能な最小値のことであり、「分解能」とも言い換えられる。「感度係数」は入力される検出対象の信号量に対する出力信号の比率を指す。本論文では、「感度係数」のことを「感度」または「検出感度」として扱う。容量センサ回路の入力段にてセンサが生成した信号を受けるAFE (Analog Front End) 回路において、入力信号に対する出力信号の増幅率に対応する。暗所でのカメラ撮影においてISO値を上げると、取得画像は全体的に明るくなるが、雑音も増えて画質が低下しまうように、入力信号に雑音が含まれる場合、検出対象の信号と同様に雑音も増幅される。高感度化においては、雑音を抑制し、検出信号を増幅する、すなわち、信号対雑音 (S/N) 比を確保することが求められる。集積化CMOS-MEMSデバイスに搭載されるセンサはミリサイズ以下に小型化され、一般的に信号量が小さくなるため、S/N比の確保が重要となる。AFE回路に用いられる増幅回路の最も基本的な構成はソース接地のn型MOSFETに負荷抵抗が直列に接続された構成であり、センサ素子の出力信号が差動対の場合には差動構成の増幅回路[99]が用いられる。処理する信号の周波数帯域を高くするほど直流バイアス電流が増加するため、低消費電力性が求められる場合には、必要最低限の信号帯域に調整される。センサの出力信号が小振幅から大振幅が想定され、ダイナミックレンジが広い場合には、その信号レベルに合わせて利得を調整する可変利得アンプ (Voltage-controlled Gain Amplifier:VGA) が用いられる[100]。高い感度や測定値の精度が求められる場合には、オフセット電圧、温度ドリフト、 $1/f$ ノイズを除去するのにチョッパ方式の増幅回路が適している[101]。高感度化を指向した加速度センサやジャイロスコープを含む慣性センサでは、矩形波を検出対象の容量に印加した応答信号をスイッチドキャパシタとチョッパアンプで処理する構成が採用され、100 Hz帯域で1 gレベルの加速度をmWレベルの電力で検出している[30-33, 35, 36, 38-40, 42, 44-46]。音声や超音波を検出するマイクロホンでは、同様のレベルの電力で、フローティング端子の電圧を検出する電荷アンプが用いられ、オーディオ帯にて60-70 dBの検出感度を得ている[48,55]。気象や医療向けに開発された圧力センサでは1 fF/kPa程度の感度を有し、シンプルな発振回路の構成が用いられる[65, 66, 69, 82]。スマートフォンやパッド端末に用いられるタッチパネルにおいては、フレームレートが50-500 fpsに設定され、矩形波や正弦波の印加により誘起される電荷を積分する回路構成により消費電力20-30 mW で20-60 dBの検出感度とされる[51, 53, 54,

56]. 容量センサ回路はセンシングの用途に応じて計測の正しさ(精度、正確度)や検出速度を確保した上で、回路面積や消費電力の制約の中でセンサに応じた検出感度に設定される。

容量センシングの機能ブロックを図2に示す。容量センサと容量センサ回路で構成される。容量センサから生成される電荷により生じる電圧または電流の変化を容量センサ回路が検出する。

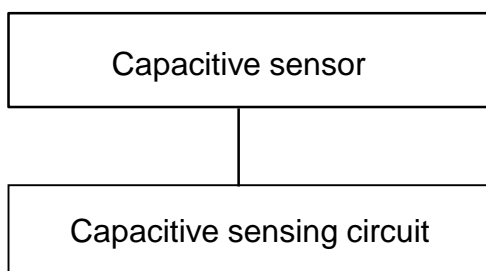


図2 容量センシングの機能ブロック

容量センサ回路の基本構成について図3を用いて説明する。基本的な構成には、電圧制御回路、AFE回路、ADCが用いられる。電圧制御回路は検出容量 C_s に電圧の変化を生じさせ、検出電圧 V_s を生成させる。AFE回路では、入力端子からAFE回路側に電流が流れないように入力インピーダンスが高く設定され、計測によるセンサの出力信号の波形への影響を最小化させるとともに、必要に応じて V_s の信号レベルを増幅させる。ADCでは、入力波形のアナログ値が情報処理に適したデジタル値に変換される。

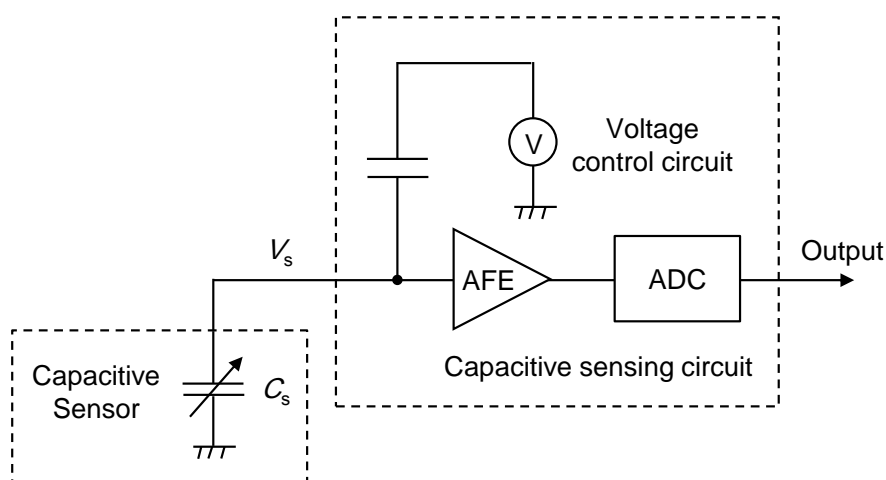


図3 容量センサ回路の基本構成

IoTシステムに向けた集積化CMOS-MEMSデバイスにおける容量センサ回路は、低消費電力、小面積であることに加え、間欠動作を想定して起動時間が短いことも要求される。小型の容量センサ回路が用いる方式として、周波数変調方式とパルス変調方式がある。周波数変調方式では、検出対象の容量を発振回路に接続し、出力信号の周波数の変化として検出する方式である。出力信号の周波数の安定性が検出感度の面で重要となる。電圧フィードバック型の発振回路を用いた場合、起動してから周波数が安定するまでにミリ秒程度を要し、間欠動作には適さない面がある。パルス変調方式は、検出対象の容量にパルスを印加することにより得られる過渡応答をパルス幅として出力する方式であり、IoTデバイスの低消費電力化に用いられる間欠動作に適している。パルス変調方式を採用した容量センサ回路の基本構成を図4に示す。応答信号生成回路は容量素子を介して容量センサ C_s に矩形波を印加する。 C_s が充電されることにより、出力電圧 V_s にランプ波形が生成される。この時、 C_s の大きさによりランプ波形の傾きが変化する。AFE回路により V_s の振幅が調整され、閾値回路により所定の閾値電圧を越えれば電源電位（“1”の状態）、閾値電圧以下であれば接地電位（“0”の状態）に量子化されて、パルス信号に変換される。時間-デジタル変換器（Time to digital converter: TDC）は内部にカウンタを備え、電圧制御回路の出力電圧が遷移したタイミングと閾値回路の出力電圧が遷移したタイミングの間の時刻を計測して、デジタル信号として出力する。閾値回路にはシュミットリガ回路、TDCが有するカウンタにはフリップフロップといった簡素な回路が用いられ、100~200程度のトランジスタ数で構成できるため、回路の小面積化に適している。

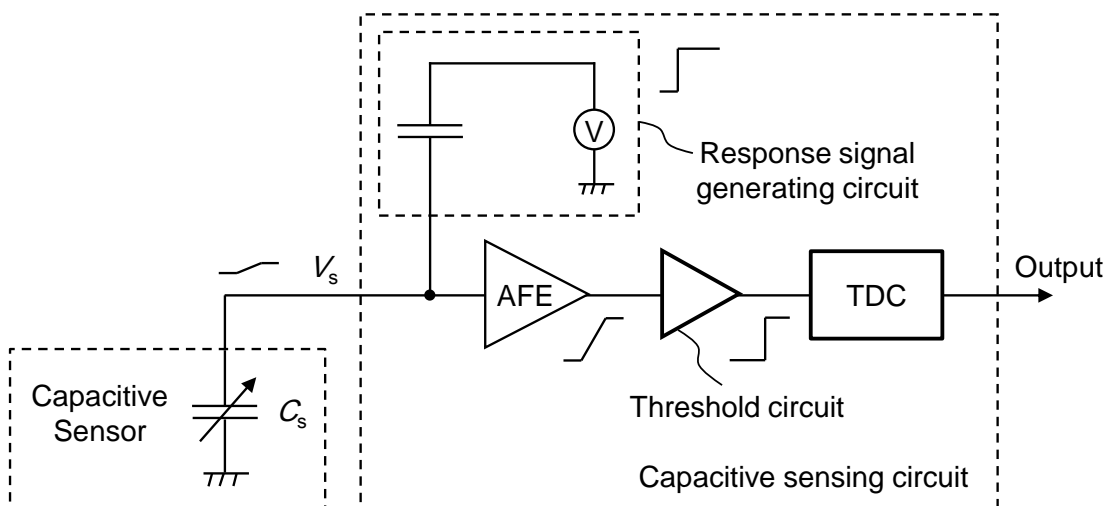


図4 パルス変調方式容量センシングの基本構成

本研究の容量センシングの前提とするターゲットについて説明する。まず、容量センサ回路に適したCMOSデバイスのテクノロジノードについて図5を用いて述べる。テクノロジノードは一般的には最小線幅となるトランジスタのチャネル長に対応した微細化の世代として表現される。デジタル回路の最も基本的な構成であるインバータ回路が1回のスイッチングで消費するエネルギー E_c は式(1)で与えられる[102]。

$$E_c = C_{ox} \cdot L \cdot W \cdot V_{DD}^2 \quad (1)$$

ここで、 L はMOSFETのチャネル長、 W はチャネル幅、 V_{DD} は電源電圧である。 C_{ox} はMOSFETの単位面積当たりのゲート容量であり、式(2)で与えられる。

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \quad (2)$$

ϵ_0 は真空の誘電率、 ϵ_{ox} はゲート酸化膜の比誘電率、 t_{ox} はゲート酸化膜の膜厚である。 E_c とテクノロジノードの関係を図5の破線で示す。テクノロジノードの進展に伴って減少する V_{DD} と t_{ox} には、国際半導体技術ロードマップ(ITRS)委員会が示した数値を用いた[103, 104]。MOSFETの微細化においてデバイス寸法と電源電圧は $1/k$ 倍にて

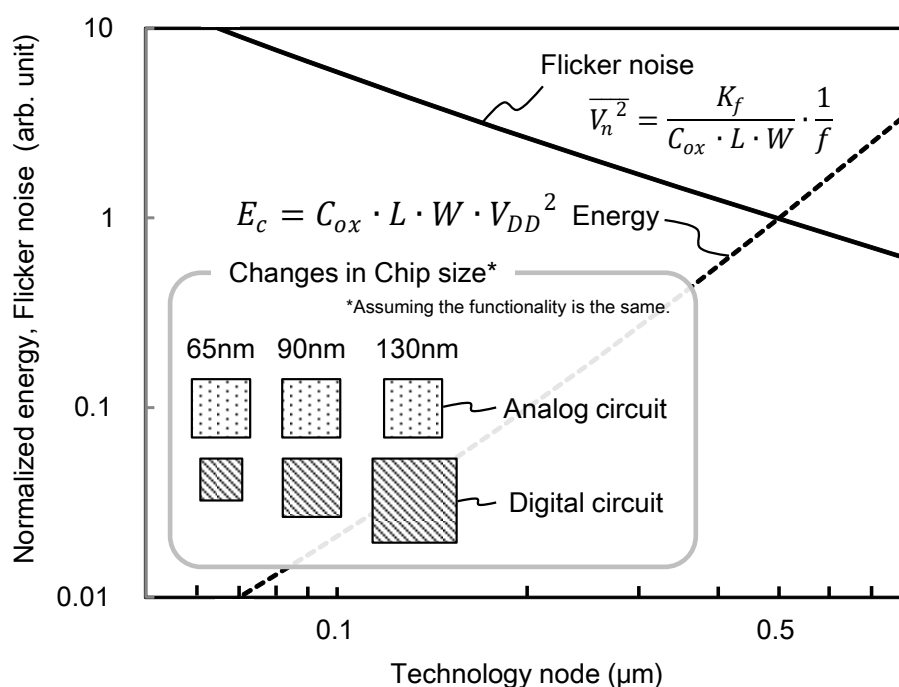


図5 アナログ回路に対するCMOS微細化による影響

縮小するとしたスケーリング則[103]に従い、 W 、 V_{DD} 、 t_{ox} が L に比例すると近似した場合、 E_c は L の3乗に比例するため、デジタル回路においては、微細化の世代が一世代、例えば、 $0.18 \mu\text{m}$ から $0.13 \mu\text{m}$ (約0.7倍)に進むと、消費エネルギーを約 $1/3$ に低減できる。これに対し、アナログ回路はS/N比を確保することが重要となる。代表的な雑音として、抵抗により電気エネルギーが熱エネルギーに変換される際に発生する熱雑音があり、MOSFETにおいては、電流がシリコンとゲート酸化膜の界面を流れる際に、キャリアが表面準位にトラップされることにより生じるフリッカ雑音($1/f$ ノイズ)がある。容量センサ回路を含むアナログ回路が扱う信号帯域の1MHz以下の領域ではフリッカ雑音が支配的であり、雑音スペクトラム密度 $\overline{V_n^2}$ は式(3)で与えられる[105]。

$$\overline{V_n^2} = \frac{K_f}{C_{ox} \cdot L \cdot W} \cdot \frac{1}{f} \quad (3)$$

ここで、 K_f はフリッカ雑音係数である。スケーリング則に従い、 W と t_{ox} が L に比例(C_{ox} は L に反比例)すると近似した場合、 $\overline{V_n^2}$ は L に反比例するため、テクノロジノードの世代が一世代進むとフリッカ雑音は1.4倍に増加する。すなわち、微細化されたMOSFETをアナログ回路に適用することは困難となる。そのため、同じ機能を実現するのに、デジタル回路の面積は、テクノロジノードの進展により、一世代で約 $1/2$ にできるのに対して、アナログ回路の面積は変わらない[106]。テクノロジノードが進展しても、製造時のフォトリソグラフィに使用するフォトマスクが増加することから、アナログ回路の製造コストは増加する。IoTデバイスに向けた集積化CMOS-MEMSデバイスはアプリケーションの要求仕様に合わせて多品種少量にて製造されることが想定され、容量センサ回路としてはテクノロジノードが大きい世代で性能を確保することが重要となる。

パルス変調方式を用いたセンサ回路[107-111]とその他の方式[112-118]に基づくセンサ回路に対して、回路面積とテクノロジノードの関係をプロットした結果を図6に示す。回路面積が小さく、テクノロジノードが大きいほど、費用対効果が大きい。パルス変調方式を採用したセンサ回路のプロットは、その他の方式のセンサ回路と比べて、費用対効果の大きい領域に位置している。本研究で提案した容量センサ回路ではサブミクロンのテクノロジノードにて回路面積 1 mm^2 以下の領域をターゲットとした。

集積化CMOS-MEMSデバイスにおいては、容量センシングの高感度化を阻害する要因として、センサとセンサ回路を接続するインターコネクションに生じる寄生的な容量成分や抵抗成分を含む寄生素子の増加、センサ構造の複雑化による性能予測のためのシミュレーション、単一のデバイスへの異なるセンサ機能の一体化のためのレイアウトがあり、センサとセンサ回路の設計を統合することで高感度化に資する工夫を作りこむ余地がある。容量センシングにおいては、センサ素子や回路のサイズ、電力の要件を考慮した上で検出感度を確保することが課題となる。

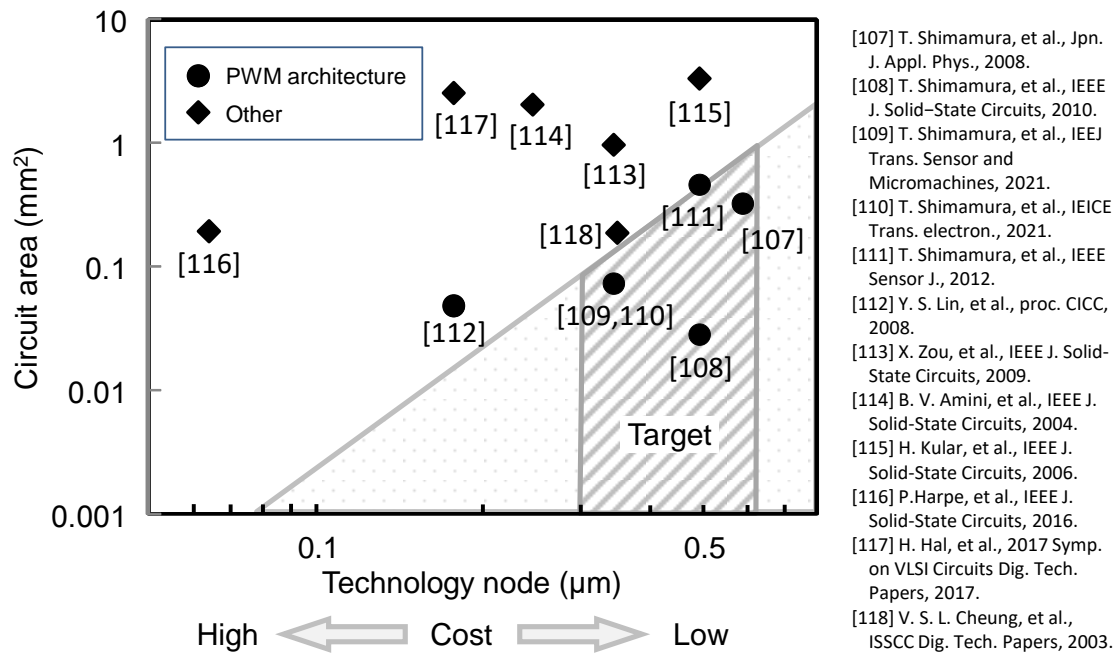


図6 本研究のターゲット

1.2 本研究の目的と意義

本研究では、IoTシステムの高度化を可能とする集積化CMOS－MEMSデバイスの実現を目指し、容量センシングの高感度化に関して次の三つの課題を解決することを目的とした。すなわち、

1. 検出対象の容量に形成される寄生素子の補償
2. 未知のパラメータを抽出する回路シミュレーション用モデリング
3. 異種センサを一体化させるレイアウト

を実現できる容量センシングの設計技術を構築することが目的である。

検出対象の容量に形成される寄生素子の補償の課題において、本研究は、MEMS構造が有する可動体の位置を高精度に検出するための容量センサ回路を提案し、電極の寄生容量が大きくてもリアルタイムに検出できることを示す[99]。容量型指紋センサにおいて画像取得が困難な乾燥した指に対して画質を向上するエンハンスメント回路を提案し、検出対象の容量に対して直列に接続された寄生抵抗が大きい場合でも容量を検出できることを示す[100]。生体インピーダンス検出回路において、指の表面状態が湿潤の場合でも検出可能な回路を提案し、検出対象の容量に対して並列に

接続された寄生抵抗が小さい場合でも容量の周波数特性が取得できることを示す[103]。

未知のパラメータを抽出するモデリングの課題において、本研究は、振動センサが生成する電荷を転送するのに電力を消費しない新しい振動検出手法を提案し、動作を確認する。振動センサの共振周波数を調整して振動検出を高感度化する振動増幅機構を設計するために、センサ回路との設計統合手法を提案し、振動センサの回路設計用モデルに未知のパラメータを含む場合でもモデリングができることを示す[101]。振動に対応した電気信号を閾値処理するのに要する電力をナノワット以下に低減するクロックレス閾値回路を提案し、低消費電力化技術としての有効性を示す[102]。

異種センサを一体化させるレイアウトの課題において、本研究は、指紋画像を取得する指紋センサにおいて信号線と電極構造を共用できるインピーダンス検出回路と電極パターン形状を提案し、偽造指を用いたなりすまし防止のためのインピーダンス検出機能を指紋センサのチップサイズを増加させずに追加できることを示す[103]。

本研究の意義を、上記三つの課題に対応して、以下に記す。

(i) LSI上にMEMS構造を積層する際に生じる寄生容量を利用するためのシールドプレートを有するセンサ構造を用いて検出感度を増加させる回路面積の小さい容量センサ回路を提案したこと、指紋画像を取得するための検出電極に隣接するエンハンスメント電極を用いて指表面の電位を制御し、容量検出の感度を確保するエンハンスメント回路を提案したことにより、MEMS構造を活かして指表面の乾燥により高くなった寄生抵抗を補償する技術を開発したこと、生体インピーダンスを検出するための2つの電極の一方を接地電位として指に流れる電流を指に印加する電圧にフィードバックする単利得バッファを用いたインピーダンス検出回路を提案したことにより、指の表面状態に依存する寄生抵抗を補償する技術を開発したこと。

(ii) 振動センサの可動体に生じる運動エネルギーを利用して電荷転送を行う振動検出手法と、入力電圧が電源電圧と接地電圧との中間の電圧であっても貫通電流をナノアンペア以下に制限するクロックレス閾値回路を用いて低消費電力を指向した振動センシングにおいて、有限要素法シミュレータと回路シミュレータを用いた振動センサとセンサ回路の解析を導入し、集約化した2つのパラメータが独立であることを利用してパラメータ抽出を可能とする設計統合手法を提案したことにより、構造が複雑で未知のパラメータを含む振動増幅機構のモデルの構築を可能とし、複雑性を有するセンサとセンサが生成する電荷を破壊せずに検出するセンサ回路の設計を統合する技術を開発したこと。

(iii) インピーダンス検出に、三角波を用いた振幅と位相の検出と単利得バッファを

使用した電流／電圧変換を用い、インピーダンス検出回路の制御線を指紋センサの制御線と共用化し、指紋センシングのための電極を利用するグリッド型の不正検知電極を提案したことにより、検出対象の異なる物理量を取得するセンサとセンサ回路を一体化させるレイアウトを設計する技術を実現したこと。

本研究の遂行により、集積化CMOS－MEMSデバイスにおける容量センシングの高感度化の課題であった寄生素子補償技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術を確立し、ミリサイズ無線センサノード用振動センサや生体インピーダンス検出機能内蔵指紋センサに応用したことで、IoTシステムの高度化に有効な集積化CMOS－MEMSデバイス技術の構築に貢献した。

1.3 本論文の構成と概要

本論文の構成は、第1章「序論」、第2章「集積化CMOS－MEMSデバイス用容量センサ回路の高感度化技術」、第3章「寄生容量を伴う可動体容量のリアルタイム検出手法」、第4章「寄生直列抵抗を伴う被検体容量による表面形状認識手法」、第5章「寄生並列抵抗を伴う被検体容量の周波数特性計測手法」、第6章「複合構造を有するセンサと電荷非破壊センサ回路の設計統合手法」、第7章「容量周波数特性の計測機能を有する表面形状認識センサLSI」、第8章「結論」から構成される。本論文の構成を図7に示す。本論文の構成は、集積化CMOS－MEMSデバイスのための容量センシングの高感度化に関する研究を体系的にまとめたものであり、第2章が基盤技術、第3章、第4章、第5章が寄生素子補償回路技術、第6章が未知パラメータ抽出モデリング技術、第7章が寄生素子補償回路技術、異種センサ一体化レイアウト技術、未知パラメータ抽出モデリング技術を用いた応用技術としての位置づけである。その研究的背景は、容量センサに形成される寄生素子を補償する寄生素子の補償、センサとセンサ回路の設計統合により未知のパラメータを抽出するモデリング、異種センサを一体化させるレイアウトに対する課題の解決である。第2章以下の内容を次に示す。

第2章「集積化CMOS－MEMSデバイスにおける容量センシングの高感度化技術」では、CMOS回路とMEMS素子の特性を相互に作用させることでセンサ素子の出力信号の強度を確保するCMOS－MEMSインターフェースのコンセプトを提案する。基本構成に採用するパルス変調方式のアーキテクチャは簡単な回路で構成され、プロセスコストに対する費用対効果が大きいことを示す。構成例として、寄生容量補償技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術について説明し、容量センサ回路の高感度化に有効であることを示す。

第3章「寄生容量を伴う可動体容量のリアルタイム検出手法」では、CMOS－MEMSインターフェースの寄生素子補償回路技術として、CMOS LSIに積層したMEMS

MS素子を制御するために可動構造の変位を検出する容量検出手法を提案する。検出容量を寄生容量から分離するシールドプレートを検出電極とLSI配線との間に配置し、シールドプレートに生じる寄生容量により生成したランプ信号を利用して検出感度を高める傾き検出回路を用いる。LSI配線により検出電極に大きな寄生容量が生じる場合でも、可動体と検出電極との間の空隙の微小容量の検出が小面積の回路で可能となる。提案回路を搭載したLSI上にMEMS可変容量を作製し、提案手法により占有面積の小さい回路で検出感度が向上されることを示す。

第4章「寄生直列抵抗を伴う被検体容量による表面形状認識手法」では、CMOS-MEMSインターフェースの寄生素子補償回路技術として、取得画像の品質向上を可能とする容量センサ回路技術を提案する。指の表面が乾燥し電気抵抗が高いと指紋画像の品質が劣化するのに対し、指表面に形成される直列抵抗を利用して画像品質を向上させる原理について説明する。検出電極に隣接するエンハンスメント電極と電圧制御回路により指表面の電位を制御し、指表面の抵抗が高い場合に生じる電圧低下を抑制し、容量検出の感度を確保できることを説明する。提案回路を搭載した指紋センサLSIを作製し、指の表面状態に依存せずにクリアな指紋画像を取得できることを示す。

第5章「寄生並列抵抗を伴う被検体容量の周波数特性計測手法」では、CMOS-MEMSインターフェースの寄生素子補償回路技術として、容量型指紋センサに集積可能なインピーダンス検出回路に対し、サイズの大きな抵抗素子を必要とせず、生体インピーダンスを検出するための2つの電極の一方を接地電位として指に流れる電流を指に印加する電圧にフィードバックする単利得バッファを用いた回路構成を提案する。多様な生体指に対するインピーダンスの検出可能な範囲と検出感度を解析した結果を示すとともに、提案回路を適用した指紋センサを作製し、指の表面状態が湿潤の指と乾燥した指の検出とネットワークアナライザの測定値との比較結果について説明する。

第6章「複合構造を有するセンサと電荷非破壊センサ回路の設計統合手法」では、CMOS-MEMSインターフェースの未知パラメータ抽出モデリング技術として、電力を消費せずに加速度を電気信号に変換する振動検出手法について述べ、素子の特性が互いの動作に影響を与え合う振動センサとセンサ回路の設計統合手法と、振動センサ回路をナノワット以下の電力で常時動作させるために、クロック信号が不要かつ入力電圧が論理閾値電圧に近くなっても消費電流が増加しない閾値回路を提案する。振動検出手法として、振動により発生した電荷を転送するのに振動センサの可動体の運動エネルギーを利用する原理を説明する。この検出手法では、電荷転送の効率を高めるためにセンサ回路の入力インピーダンスは小さく、性能評価は振動センサを接続して行われる。また、感度向上のために、振動センサの共振周波数を検出対象の振動スペクトルの範囲に調整する振動増幅機構を用いる。振動増幅機構は複数の部品で

構成され、部品同士の接続が完全には固定されないため、共振周波数を予測することは困難である。提案した設計統合手法は、振動増幅機構のモデルを2つのパラメータで簡素化し、パラメータが互いに独立関係にあることを利用して、一点の実測データからパラメータを抽出できるようにした。提案した閾値回路の動作原理として、負荷容量にプリチャージした電荷を放電する際の電流をナノアンペア以下に制限した上で、一部の電荷が放電された時点で放電電流を増加させることで信号遷移時間を短くする動作について説明する。提案回路を搭載したLSIを試作し、振動センサに生じる容量変化をナノワットレベルの電力で検出できることを示すとともに、提案した設計統合手法により、振動増幅機構を含めた振動センサを設計するためのモデルが得られることを示す。振動解析における連続励振とインパルス励振に対してそれぞれに振動検出回路を設計し、実験により得られた回路特性を示す。プロセスノードや要求仕様を規格化した評価指標を用い、従来技術と比較した結果についても述べる。

第7章「容量周波数特性の計測機能を有する表面形状認識センサLSI」では、CMOS-MEMSインターフェースの寄生素子補償回路、未知パラメータ抽出モデリング技術、異種センサー一体化レイアウト技術をベースとした応用技術として、インピーダンス検出用の回路と電極を、指紋の取得画像に影響を与えることなく、指紋センサに集積化する手法について述べる。センサ構造と回路の制御線を共通化する設計と、提案手法により作成した指紋センサにより生体指と偽造指のインピーダンスの違いを指紋画像の劣化なしに検出できることを説明する。

第8章では結論として、本研究により提案した技術とその有用性について総括する。また、今後の課題と展望について述べる。

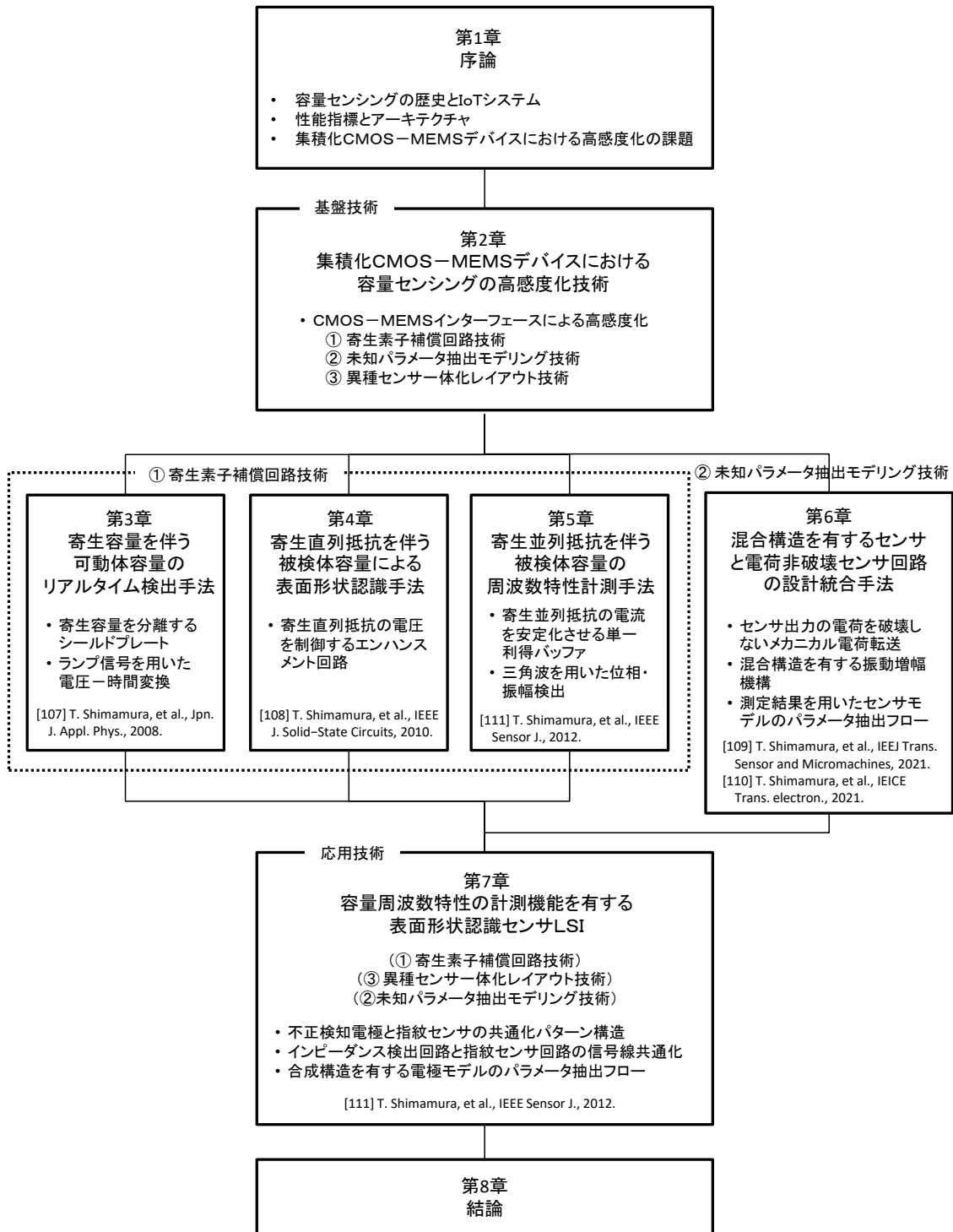


図7 本論文の構成

第1章参考文献

- [1] 茨木のり子, “自分の感受性くらい,” 花神社, 1977.
- [2] 大辞林 第三版 三省堂.
- [3] Hans Rosling, Ola Rosling, Anna Rosling Ronnlund, “Factfulness: Ten Reasons We’re Wrong About The World – And Why Things Are Better Than You Think,” Sceptre, 2018.
- [4] “10 Hot Consumer Trends 2030,” Ericsson ConsumerLab, 2019.
- [5] 松井邦彦, “センサ活用 141 の実践ノウハウ,” CQ出版社, pp. 11-43, 67-118, 125-130, 2001.
- [6] “エンジニアのための温度センシング設計ガイド,” TEXAS INSTRUMENTS, pp. 5-6, 2019
- [7] 佐治啓市, 五十嵐伊勢美, “ガスセンサー,” 応用物理, 54(4), pp.351-352, 1985.
- [8] 都甲潔, “味覚センサ,” 日本味と匂学会誌, vol.23 no.2 pp. 95-102, 2016.
- [9] 安野功修, “3次元微細加工技術を利用したマイクロホン,” 日本音響学会誌, vol. 64, no. 11, pp. 661-666, 2008.
- [10] 多田泰徳, 井上雅博, 河崎俊実, 川人康, 石黒浩, 菅沼克昭, “柔軟性と伸縮性のある静電気式触覚センサの原理と特性,” 日本ロボット学会誌, vol.26, no.2, pp.210~216, 2008.
- [11] 長久保昌彦, “柔軟な触覚センサー ～実利用に向けて,” 日本ロボット学会誌, vol.37, no.5, pp.401~404, 2009.
- [12] L. J. Hornbeck, “Current status of the digital micromirror device (DMD) for projection television applications,” Int. Electron Devices Tech. Dig., pp. 381-384, 1993.
- [13] C. Tew, L. Hornbeck, J. Lin, E. Chiu, K. Kornher, J. Conner, K. Komatsuzaki, P. Urbanus, “Electronic control of a digital micromirror device for projection displays,” Solid-State Circuits Conference 1994. Digest of Technical Papers. 41st ISSCC. 1994 IEEE International, pp. 130-131.
- [14] P. F. Van Kessel, L. J. Hornbeck, R. E. Meier, M. R. Douglass, “A MEMS-based projection display,” proc. of IEEE, pp. 1687-1704, 1998.
- [15] 八子知礼, 杉山恒司, 竹之下航洋, 松浦真弓, 土本寛子, “IoT の基本・仕組み・重要事項が全部わかる教科書,” SBクリエイティブ, pp. 2-8, 2017.
- [16] S. Hirata, Y. Ishii, H. Matoba, T. Inui, “An ink-jet head using diaphragm microactuator,” proc. of IEEE Micro Electro Mechanical Systems Workshop (MEMS '95), pp. 418-423, 1996.
- [17] S. Kamisuki, T. Hagata, C. Tezuka, Y. Nose, M. Fujii, M. Atobe, “A low power

- small electrostatically-driven commercial inkjet head," *proc. of IEEE Micro Electro Mechanical Systems*, pp. 63-68, 1998.
- [18] S. Kamisuki, M. Fujii, T. Takekoshi, C. Tezuka, M. Atobe, "A high resolution electrostatically-driven commercial inkjet head," *proc. of IEEE MEMS*, pp. 793-798, 2000.
- [19] A. M. Thompson, D. G Lampard, "A new theorem in electrostatics and its application to calculable standards and capacitance," *Nature*, 177, p. 888, 1956.
- [20] D.G. Lampard, "A new theorem in electrostatics with applications to calculable standards of capacitance," *IEE*, 104, C, 271/280, 1957.
- [21] T. Igarashi, Y Koizumi, M. kanno, "Determination of an absolute capacitance by a horizontal cross capacitor," *IEEE Trans. IM-17-4*, 1968.
- [22] 菅野 允, "微小静電容量の測定と応用," *応用物理* 49 (9), p905-912, 1980-Sep.
- [23] S. J. Sherman, W. K. Tsang, T. A. Core, R. S. Payne, D. E. Quinn, K. H.-L. Chau, J. A. Farash, S. K. Baum, "A low-cost monolithic accelerometer: Product/technology update," *Tech. Dig. Int. Electron Devices Meeting*, pp. 501-504, 1992.
- [24] B. A. Blow, R. Harjani, D. L. Polla, T. Tamagawa, "A dual frequency range integrated circuit accelerometer using capacitive and piezoelectric sensing techniques," *proc. of 1993 IEEE Int. Symp. on Curcuits and Systems*, vol. 2, pp. 1120-1123,1993.
- [25] L.C. Spangler, C. J. Kemp, "ISAAC-Integrated Silicon Automotive Accelerometer," *proc. of Transducers '95*, pp. 585-588, 1995.
- [26] A. Burstein, W. J. Kaiser, "Mixed Analog-digital Highly-sensitive Sensor Interface Circuit For Low-cost Microsensors," *proc. of the Int. Solid-State Sens. and Act. Conf. (TRANSDUCERS '95)*, pp. 162-165, 1995.
- [27] H. Luo and G. K. Fedder, and L. R. Carley, "A 1 mG Lateral CMOS-MEMS Accelerometer," *proc. of IEEE MEMS'00*, p. 502-507, 2000.
- [28] H. Luo and G. K. Fedder, and L. R. Carley, "A 1 mG Lateral CMOS-MEMS Accelerometer," *proc. of IEEE MEMS'00*, p. 502-507, 2000.
- [29] Hao Luo, G. Fedder, L. R. Carley, "Integrated multiple-device IMU system with continuous-time sensing circuitry," *2003 IEEE Int. Solid-State Curcuits Conf. (ISSCC) Digest of Technical Papers*, pp. 204-205, 2003.
- [30] M. Lobur, A. Holovatyy, "Overview and analysis of readout circuits for capacitive sensing in MEMS gyroscopes (MEMS angular velocity sensors) ," *proc. of 2009 5th Int. Conf. on Pers. Tech. and Met. in MEMS Design*, pp. 161-163, 2009.

- [31] Yuntao Liu, Xiaowei Liu, Liang Yin, Weiping Chen, Qun Wu, "CMOS interface circuitry for a closed-loop capacitive MEMS accelerometer," *proc. of 2009 4th IEEE Int. Conf. on Nano/Micro Eng. and Molecular Systems*, pp. 510–513, 2009.
- [32] M. Elsayed, A. Emira, S. Sedky, S. E. D. Habib, "A single-ended CMOS sensing circuit for MEMS gyroscope with noise cancellation," *proc. of the 8th IEEE Int. NEWCAS Conf. 2010*, pp. 385–388, 2010.
- [33] H. -Y. Hung, D. -R. Chang, W. -P. Shih, "Design and simulation of a CMOS-MEMS gyroscope with a low-noise sensing circuit," *proc. of 2010 Int. Symp. on Comp., Comm., Cont. and Auto. (3CA)*, vol. 2, pp. 253–256, 2010.
- [34] X. Li, G. C. M. Meijer, "An interface circuit for grounded and leaky capacitive sensors," *proc. of 2010 IEEE Int. Conf. on Indust. Tech.*, pp. 1571–1574, 2010.
- [35] C. -P. Huang, R. Chen, "Integration and implementation of CMOS-MEMS accelerometer and capacitive sensing circuits," *proc. of 2011 6th IEEE Int. Conf. on Nano/Micro Eng. and Molecular Systems*, pp. 543–546, 2011.
- [36] Y. -C. Liu, M. -H. Tsai, S. -S. Li, W. Fang, "A fully-differential, multiplex-sensing interface circuit monolithically integrated with tri-axis pure oxide capacitive CMOS-MEMS accelerometers," *proc. of The 17th Int. Conf. on Solid-State Sens., Act. and Micro. (TRANSDUCERS & EUROSENSORS XXVII)*, pp. 610–613, 2013.
- [37] P. -C. Wu, B. -D. Liu, C. -Y. Yeh, S. -Y. Chen, H. -H. Tsai, Y. -Z. Juang, "A low-power interface circuit for multi-sensor applications," *proc. of 2015 IEEE Int. Symp. on Inertial Sens. and Systems (ISISS)*, pp. 1–4, 2015.
- [38] S. Hafizi-Moori, E. Cretu, "Weakly-Coupled Resonators in Capacitive Readout Circuits," *IEEE Trans. on Circuits and Systems I*, vol. 62, no. 2, pp. 337–346, 2015.
- [39] C. -L. Chien, K. -A. Wen, "A decouple structured gyroscope with integrated readout circuit on standard 0.18 μ m 1P6M CMOS technology," *proc. of 2016 Int. SoC Design Conf. (ISOCC)*, pp. 15–16, 2016.
- [40] O. V. Dvornikov, V. A. Tchekhovski, N. N. Prokopenko, A. V. Bugakova, "The design of the circuits of radiation-hardened charge-sensitive amplifiers based on the structured array (MH2XA010) and the array chip (AC-2.1)," *proc. of 2016 13th Int. Sci.-Tech. Conf. on Act. Prob. of Ele. Inst. Eng. (APEIE)*, vol. 1, pp. 253–258, 2016.
- [41] P. Xiao, L. Liu, X. B. Wang, J. J. Sun, M. Wang, C. J. Yu, "Nonlinearity analysis of a capacitance detector diodes circuit for closed-loop micro-silicon accelerometer," *proc. of 2016 35th Chi. Cont. Conf. (CCC)*, pp. 5601–5604,

2016.

- [42] D. Chen, L. Yin, X. Liu, "A low noise readout circuit for a novel rotational gyroscope based on phase sensitive detection," *proc. of 2017 First Int. Conf. on Ele. Inst. & Info. Systems (EIS)*, pp. 1-5, 2017.
- [43] A. Lanniel, T. Alpert, T. Boeser, M. Ortmanns, "Evaluation of Frontend Readout Circuits for High Performance Automotive MEMS Accelerometers," *proc. of 2018 14th Conf. on Ph.D. Research in Micro. and Ele. (PRIME)*, pp. 229-232, 2018.
- [44] L. Zhong, D. Xu, X. Lai, Y. Wang, X. Liao, Z. Fang, Y. Zheng, "Precision Improvement of Power-Efficient Capacitive Sensor Readout Circuit Using Multi-Nested Clocks," *IEEE Trans. on Circuits and Systems I*, vol. 67, no. 8, pp. 2578-2587, 2020.
- [45] S. Amini, D. A. Johns, "A Normalized Figure of Merit for Capacitive Accelerometer Interface Circuits," *IEEE Trans. on Circuits and Systems II*, vol. 67, no. 1, pp. 19-22, 2020.
- [46] A. Lanniel, T. Boeser, T. Alpert, M. Ortmanns, "Low-Noise Readout Circuit for an Automotive MEMS Accelerometer," *IEEE Open J. of the Solid-State Circuits Society*, vol. 1, pp. 140-148, 2021.
- [47] S. -y. Peng, M. S. Qureshi, A. Basu, P. E. Hasler, F. L. Degertekin, "A Floating-gate Based Low-Power Capacitive Sensing Interface Circuit," *proc. of IEEE Cust. Integ. Circuits Conf. 2006*, pp. 257-260, 2006.
- [48] S. -Y. Peng, M. S. Qureshi, P. E. Hasler, A. Basu, F. L. Degertekin, "A Charge-Based Low-Power High-SNR Capacitive Sensing Interface Circuit," *IEEE Tran. on Circuits and Systems I*, vol. 55, no. 7, pp. 1863-1872, 2008.
- [49] J. -Y. Ruan, P. C. . -P. Chao, W. -D. Chen, "A multi-touch interface circuit for a large-sized capacitive touch panel," *proc. of IEEE SENSORS 2010*, pp. 309-314, 2010.
- [50] J. -T. Huang, K. -S. Chen, C. -C. Chien, "A differential capacitive sensing circuit for micro-machined omnidirectional microphone," *proc. of 2011 6th IEEE Int. Conf. on Nano/Micro Eng. and Molecular Systems*, pp. 948-951, 2011.
- [51] H. K. Ouh, J. Lee, S. Han, H. Kim, I. Yoon, S. Hong, "A programmable mutual capacitance sensing circuit for a large-sized touch panel," *proc. of 2012 IEEE Int. Symp. on Circuits and Systems (ISCAS)*, pp. 1395-1398, 2012.
- [52] S. Wang, T. J. Koickal, A. Hamilton, E. Mastropaolo, R. Cheung, A. Abel, L. S. Smith, L. Wang, "A Power-Efficient Capacitive Read-Out Circuit With Parasitic-Cancellation for MEMS Cochlea Sensors," *IEEE Tran. on Biomedical Circuits and Systems*, vol. 10, no. 1, pp. 25-37, 2016.

- [53] S. -H. Lee, J. -S. An, S. -K. Hong, O. -K. Kwon, "In-cell capacitive touch panel structures and their readout circuits," *proc. of 2016 23rd Int. Work. on Active-Matrix Flatpanel Displays and Devices (AM-FPD)*, pp. 258-261, 2016.
- [54] D. -H. Yeo, S. -H. Kim, H. -K. Noh, B. Kim, J. -Y. Sim, H. -J. Park, "A SNR-Enhanced Mutual-Capacitive Touch-Sensor ROIC Using an Averaging With Three Specific TX Frequencies, a Noise Memory, and a Compact Delay Compensation Circuit," *IEEE Sensors Journal*, vol. 16, no. 18, pp. 6931-6938, 2016.
- [55] Z. Li, L. Dong, H. Li, J. Zhang, X. Wang, H. Zhang, "An Analog Readout Circuit With a Noise-Reduction Input Buffer for MEMS Microphone," *IEEE Tran. on Circuits and Systems II*, vol. 69, no. 10, pp. 3983-3987, 2022.
- [56] X. Ding, M. Zhu, X. Chen, J. Zhang, X. Yu, "A Modified Quartz Crystal Capacitance Circuit by Using Parallel Inductance and Its Application for Microdisplacement Sensing," *IEEE Tran. on Inst. and Meas.*, vol. 71, pp. 1-10, 2022.
- [57] E. Ghafar-Zadeh, M. Sawan, "A high precision and linearity differential capacitive sensor circuit dedicated to bioparticles detection," *proc. of the 3rd Int. IEEE-NEWCAS Conf. 2005*, pp. 299-302, 2005.
- [58] C. -T. Chiang, Y. -C. Huang, "A Semicylindrical Capacitive Sensor With Interface Circuit Used for Flow Rate Measurement," *IEEE Sensors Journal*, vol. 6, no. 6, pp. 1564-1570, 2006.
- [59] S. B. Prakash, P. Abshire, "A Fully Differential Rail-to-Rail Capacitance Measurement Circuit for Integrated Cell Sensing," *proc. of IEEE SENSORS 2007*, pp. 1444-1447, 2007.
- [60] M. R. Haider, M. R. Mahfouz, S. K. Islam, S. A. Eliza, W. Qu, E. Pritchard, "A low-power capacitance measurement circuit with high resolution and high degree of linearity," *proc. of 2008 51st Midwest Symp. on Circuits and Systems*, pp. 261-264, 2008.
- [61] T. N. Phua, T. York, "Weak-Inversion Measurement Circuit for Miniature Electrical Capacitance Tomography," *IEEE Tran. on Inst. and Meas.*, vol. 57, no. 2, pp. 379-385, 2008.
- [62] B. Lee, Kang-Ho Lee, Jeong-Oen Lee, Mi-Jin Sohn, Suk-Hwan Choi, Se-Won Wang, Jun-Bo Yoon, Gyu-Hyeong Cho, "An electronic DNA sensor chip using integrated capacitive read-out circuit," *proc. of 2010 Annual Int. Conf. of the IEEE Eng. in Medicine and Biology*, pp. 6547-6550, 2010.
- [63] A. Yusuf, W. Widada, W. P. Taruno, "Design of capacitance measurement circuit

- for data acquisition system ECVT," *proc. of 2013 Int. Conf. on Info. Tech. and Ele. Eng. (ICITEE)*, pp. 444–448, 2013.
- [64] M. Hajj-Hassan, A. Harb, H. Hajj-Hassan, "Bacterial immobilization and detection using porous silicon platform and CMOS sensory circuit," *proc. of 2013 25th Int. Conf. on Microelectronics (ICM)*, pp. 1–4, 2013.
- [65] A. D. Sundararajan, S. M. R. Hasan, "Elliptic Diaphragm Capacitive Pressure Sensor and Signal Conditioning Circuit Fabricated in SiGe CMOS Integrated MEMS," *IEEE Sensors Journal*, vol. 15, no. 3, pp. 1825–1837, 2015.
- [66] J. -Y. Peng, M. S. . -C. Lu, "A Flexible Capacitive Tactile Sensor Array With CMOS Readout Circuits for Pulse Diagnosis," *IEEE Sensors Journal*, vol. 15, no. 2, pp. 1170–1177, 2015.
- [67] T. Islam, S. A. Khan, M. F. A. Khan, S. C. Mukhopadhyay, "A Relaxation Oscillator-Based Transformer Ratio Arm Bridge Circuit for Capacitive Humidity Sensor," *IEEE Tran. on Inst. and Meas.*, vol. 64, no. 12, pp. 3414–3422, 2015.
- [68] P. Vooka, B. George, "A Direct Digital Readout Circuit for Impedance Sensors," *IEEE Tran. on Inst. and Meas.*, vol. 64, no. 4, pp. 902–912, 2015.
- [69] A. Damilano, H. M. A. Hayat, A. Bonanno, D. Demarchi, M. Crepaldi, "A Flexible Low-Power 130 nm CMOS Read-Out Circuit With Tunable Sensitivity for Commercial Robotic Resistive Pressure Sensors," *IEEE Sensors Journal*, vol. 15, no. 11, pp. 6650–6658, 2015.
- [70] K. Y. -T. Lai, M. -F. Shiu, Y. -W. Lu, Y. Ho, Y. -C. Kao, Y. -T. Yang, G. Wang, K. -M. Liu, H. -C. Chang, C. -Y. Lee, "A field-programmable lab-on-a-chip with built-in self-test circuit and low-power sensor-fusion solution in 0.35 μ m standard CMOS process," *proc. of 2015 IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, pp. 1–4, 2015.
- [71] A. Ulla Khan, T. Islam, J. Akhtar, "An Oscillator-Based Active Bridge Circuit for Interfacing Capacitive Sensors With Microcontroller Compatibility," *IEEE Tran. on Inst. and Meas.*, vol. 65, no. 11, pp. 2560–2568, 2016.
- [72] A. Yusuf, D. Sudiana, A. S. Tamsir, H. S. S., "A digital signal processing algorithm on read out circuit for electrical capacitance tomography," *proc. of 2016 IEEE Region 10 Conference (TENCON)*, pp. 1166–1170, 2016.
- [73] R. Wang, X. Peng, N. Jiang, W. Wang, "Design of a Multiple Channel Capacitance Measurement Integrated Circuit for Electronic Skin Application," *proc. of 2018 IEEE 3rd Int. Conf. on Integrated Circuits and Microsystems (ICICM)*, pp. 144–147, 2018.
- [74] S. Nessler, S. Kartmann, L. Mutter, C. Grandauer, M. Marx, R. Zengerle, Y.

- Manoli, "A Capacitive Readout Circuit for a Disposable Low-Cost Pressure and Flow Sensor with 200 Pa or 170 nl/s Resolution," *proc. of 2019 IEEE SENSORS*, pp. 1-4, 2019.
- [75] A. U. Khan, T. Islam, B. George, M. Rehman, "An Efficient Interface Circuit for Lossy Capacitive Sensors," *IEEE Tran. on Inst. and Meas.*, vol. 68, no. 3, pp. 829-836, 2019.
- [76] S. Malik, M. Ahmad, L. S, T. Islam, M. S. Baghini, "Impedance-to-Time Converter Circuit for Leaky Capacitive Sensors With Small Offset Capacitance," *IEEE Sensors Letters*, vol. 3, no. 7, pp. 1-4, 2019.
- [77] N. Das, K. Kalita, P. K. Boruah, U. Sarma, "Design Validation and Performance Investigation of Signal Conditioning Circuit for Capacitive Sensor," *proc. of 2019 IEEE 5th Int. Conf. for Convergence in Tech. (I2CT)*, pp. 1-6, 2019.
- [78] V. S. Palaparthi, S. N. Doddapujar, G. Gupta, P. Das, S. A. Chandorkar, S. Mukherji, M. S. Baghini, V. R. Rao, "E-Nose: Multichannel Analog Signal Conditioning Circuit With Pattern Recognition for Explosive Sensing," *IEEE Sensors Journal*, vol. 20, no. 3, pp. 1373-1382, 2020.
- [79] S. Malik, L. Somappa, M. Ahmad, M. S. Baghini, "AN-C2V: An Auto-Nulling Bridge-Based Signal Conditioning Circuit for Leaky Capacitive Sensors," *IEEE Sensors Journal*, vol. 20, no. 12, pp. 6432-6440, 2020.
- [80] S. Malik, M. Ahmad, L. Somappa, T. Islam, M. S. Baghini, "AN-Z2V: Autonulling-Based Multimode Signal Conditioning Circuit for R-C Sensors," *IEEE Transactions on Inst. and Meas.*, vol. 69, no. 11, pp. 8763-8772, 2020.
- [81] H. Yin, E. Ashoori, X. Mu, A. J. Mason, "A Compact Low-Power Current-to-Digital Readout Circuit for Amperometric Electrochemical Sensors," *IEEE Tran. on Inst. and Meas.*, vol. 69, no. 5, pp. 1972-1980, 2020.
- [82] P. -W. Liao, H. -C. Hong, Y. Chiu, "A CMOS-MEMS Capacitive Pressure Sensor with Differential Sensing Electrodes and On-Chip Frequency Output Circuits," *proc. of 2021 21st Int. Conf. on Solid-State Sens., Act. and Micro. (Transducers)*, pp. 90-93, 2021.
- [83] S. Malik, K. Kishore, L. Somappa, S. Lashkare, T. Islam, S. A. Akbar, M. Shojaei Baghini, "A Dual-Slope-Based Capacitance-to-Time Signal Conditioning Circuit for Leaky Capacitive Sensors," *IEEE Trans. on Inst. and Meas.*, vol. 70, pp. 1-8, 2021.
- [84] Edward M. Mikhail, Friedrich E. Ackermann, "Observations and Least Squares," Dun Donnelley, 1976.
- [85] 中根 勝見, "JPGIS における Accuracy(正確度)," *先端測量技術*, no.102, pp.

37-43, 2010.

- [86] R. J. van de Plassche, R. E. J. van de Grift, "A high-speed 7-b A/D converter," IEEE J. Solid-State Circuits, vol. SC-14, pp. 938-943, 1979.
- [87] K. Bult, A. Buchwald, "An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm²," IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 1887-1895, 1997.
- [88] T. B. Cho, P. R. Gray, "A 10 b 20 M sample/s 35 mW pipeline A/D converter," IEEE J. Solid-State Circuits, vol. 30, pp. 166-172, 1995.
- [89] T.-H. Shu, B.-S. Song, K. Bacrania, "A 13-b 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter," IEEE J. Solid-State Circuits, vol. 30, pp. 443-452, 1995.
- [90] S.-W. M. Chen, R. W. Brodersen, "A 6-bit 600-MS/s 5.3-mW asynchronous ADC in 0.13 μ m CMOS," IEEE J. Solid-State Circuits, vol. 41, no. 12, pp. 2669-2680, 2006.
- [91] R. Sekimoto, A. Shikata, K. Yoshioka, T. Kuroda, and H. Ishikuro, "A 0.5-V 5.2-fJ/conversion-step full asynchronous ASR ADC with leakage power reduction down to 650 pW by boosted self-power gating in 40-nm CMOS," IEEE J. Solid-State Circuits, vol.48, no.11, pp.2628-2636, 2013.
- [92] Bo Wang, Tetsuya Kajita, Tao Sun, G. Temes, "High-accuracy circuits for on-chip capacitive ratio testing and sensor readout," IEEE Tran. on Inst. and Meas., vol. 47, no. 1, pp. 16-20, 1998.
- [93] B. Wang, T. Kajita, T. Sun, G. Temes, "New high-precision circuits for on-chip capacitor ratio testing and sensor readout," proc. of 1998 IEEE Int. Symp. on Circuits and Systems (ISCAS), vol. 1, pp. 547-550, 1998.
- [94] D. M. G. Preethichandra, K. Shida, "A simple interface circuit to measure very small capacitance changes in capacitive sensors," IEEE Trans. on Inst. and Meas., vol. 50, no. 6, pp. 1583-1586, 2001.
- [95] Z. Ignjatovic, M. F. Bocko, "An interface circuit for measuring capacitance changes based upon capacitance-to-duty cycle (CDC) converter," IEEE Sensors Journal, vol. 5, no. 3, pp. 403-410, 2005.
- [96] T. Singh, T. Saether, T. Ytterdal, "Current-Mode Capacitive Sensor Interface Circuit With Single-Ended to Differential Output Capability," IEEE Tran. on Inst. and Meas., vol. 58, no. 11, pp. 3914-3920, 2009.
- [97] Y. Meng, R. N. Dean, "A Technique for Improving the Linear Operating Range for a Relative Phase Delay Capacitive Sensor Interface Circuit," IEEE Tran. on Inst. and Meas., vol. 65, no. 3, pp. 624-630, 2016.
- [98] 小笠原正明, 細川敏幸, 米山輝子, "化学分析における測定とデータ分析の基

- 本,” pp. 165, 2004.
- [99] T. Stockstad, and H. Yoshizawa, “A 0.9-V 0.5-mA Rail-to-Rail CMOS Operational Amplifier,” *IEEE J Solid-State Circuits*, vol. 37, no. 3, pp.286-292, 2002.
- [100] V. Gopinathan, M. Tarsia, D. Choi, “Design considerations and implementation of a programmable high-frequency continuous-time filter and variable-gain amplifier in submicrometer CMOS,” *IEEE J. Solid-State Circuits*, vol. 34, no. 12, pp.1698-1707, 1999.
- [101] M. Belloni, E. Bonizzoni, A. Fornasari, F. Maloberti, “A Micropower Chopper-CDS Operational Amplifier,” *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp.2521-2529, 2010.
- [102] 宇佐美公良, 池田誠, 小林和淑, “ウエスト&ハリスCMOS VLSI回路設計基礎編,” 丸善出版, pp.248.
- [103] “THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS 2001 EDITION,” Semiconductor Industry Association, EXECUTIVE SUMMARY, pp.50
- [104] “THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS 2001 EDITION,” Semiconductor Industry Association, FRONT END PROCESS, pp.20
- [105] 松澤昭, “はじめてのアナログ電子回路 基本回路編,” 講談社, pp.124
- [106] EDN Japan, “第12回 デジタルとアナログに対する誤った理解,” 日本テキサスインスツルメンツ, 2012, <https://edn.itmedia.co.jp/>, (参照 2023.9.24).
- [107] T. Shimamura, H. Morimura, K. Kuwabara, N. Sato, J. Terada, M. Ugajin, S. Shigematsu, K. Machida, “A Capacitive Sensing Scheme for Control of Movable Element with Complementary Metal-Oxide-Semiconductor Microelectromechanical-Systems Device,” *Jpn. J. Appl. Phys.*, vol. 47, no. 5, pp. 3418-3422, 2008.
- [108] T. Shimamura, H. Morimura, S. Shigematsu, M. Nakanishi, K. Machida, “Capacitive-Sensing Circuit Technique for Image Quality Improvement on Fingerprint Sensor LSIs,” *IEEE J. Solid-State Circuits*, vol.45, no.5, pp. 1080-1087, 2010.
- [109] T. Shimamura, and H. Morimura, “Design Integration Method of Vibration Sensor and Sensing Circuit with Zero-power Charge Transfer for Millimeter-sized Wireless Sensor Nodes,” *IEEJ Trans. Sensor and Micromachines*, vol.141 no.1 pp.7-13, 2021.
- [110] T. Shimamura, and H. Morimura, “Novel Threshold Circuit Technique and Its

- Performance Analysis on Nanowatt Vibration Sensing Circuits for Millimeter-Sized Wireless Sensor Nodes," *IEICE Trans. electron.*, vol.E104-C, no.7 pp. 272-279, 2021.
- [111] T. Shimamura, H. Morimura, N. Shimoyama, T. Sakata, M. Nakanishi, S. Shigematsu, K. Machida, "Impedance-Sensing Circuit Techniques for Integration of a Fraud Detection Function into a Capacitive Fingerprint Sensor," *IEEE Sensor J.*, vol.12, no.5, pp.1393-1401, 2012.
- [112] Y. S. Lin, D. Sylvester, and D. Blaauw, "An Ultra Low Power 1V, 220nW Temperature Sensor for Passive Wireless Applications," *proc. of CICC*, pp.507-510, 2008.
- [113] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp.1067-1077, 2009.
- [114] B. V. Amini, and F. Ayazi, "A 2.5-V 14-bit SD CMOS SOI Capacitive Accelerometer," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp.2467-2476, 2004.
- [115] H. Kular, J. Chae, N. Yazdi, and K. Najafi, "Noise Analysis and Characterization of a Sigma-Delta Capacitive Microaccelerometer," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp.352-361, 2006.
- [116] P. Harpe, H. Gao, R. v. Dommele, E. Cantatore, and A. H. M. v. Roermund, "A 0.20 mm² 3 nW Signal Acquisition IC for Miniature Sensor Nodes in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol.51, no. 1, pp.240-248, 2016.
- [117] H. Hal, M. Konijnenburg, B. Lukita, R. v. Wegberg, J. Xu, R. v. d. Hoven, M. Lemmens, R. Thoelen, C. V. Hoof and N. V. Helleputte, "A Bio-Impedance Readout IC with Frequency Sweeping from 1k-to-1MHz for Electrical Impedance Tomography," *2017 Symp. on VLSI Circuits Dig. Tech. Papers*, pp. 174-175, 2017.
- [118] V. S. L. Cheung, and H. C. Luong, "A 0.9V 0.5mW CMOS Single-Switched-Op-amp Signal-Conditioning System for Pacemaker Applications," *ISSCC Dig. Tech. Papers*, pp.408-503, 2003.

第2章

集積化CMOS－MEMSデバイスにおける

容量センシングの高感度化技術

2.1 はじめに

本章では、CMOS－MEMSインターフェースにおける相互作用機構により容量センシングの感度を向上させる技術について述べる。2.2 節では、CMOS－MEMSインターフェースのコンセプトについて説明し、2.3 節では、容量センシングの方式について述べる。2.4 節ではCMOS－MEMSインターフェースの構成例について説明する。

2.2 容量センシングの設計方針

容量センシングを高感度化させるコンセプトについて図1を用いて説明する。MEMS構造を有する容量センサと、CMOSで構成される容量センサ回路の間に、CMOS－MEMSインターフェースを備え、CMOS回路とMEMS素子の特性を相互に作用させることで、容量センサ回路の入力において容量センサの出力信号の強度を増加させ、高感度化させることを特徴とする。

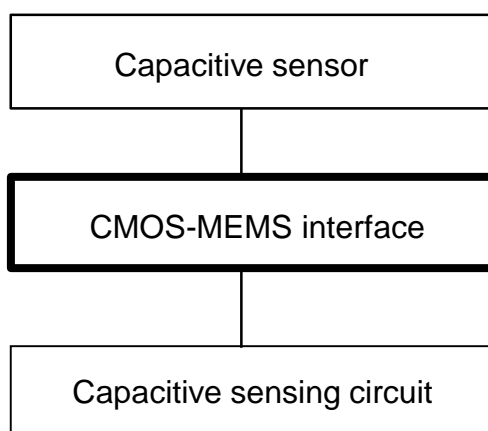


図1 容量センシングの高感度化のコンセプト

筆者は、CMOSとMEMSの境界領域となるCMOS－MEMSインターフェースを備えたデバイスを開発してきた[1-5]。CMOS－MEMSインターフェースを伴う容量センシングの構成を図2に示す。CMOS－MEMSインターフェースは、容量センサと容量センサ回路の間において、容量センサを構成するMEMS構造、制御信号や出力信号に用いる配線の接続、MEMS構造の回路シミュレーション用モデルを工夫することにより、MEMSとCMOSを相互に作用させて、容量センサの出力強度を増加させ、検出感度を向上させる仕組みである。CMOS－MEMSインターフェースに持たせる技術の例として下記を提案した。

- ・容量センサに形成される寄生素子を補償する回路技術
- ・回路シミュレーションのために未知のパラメータを抽出するモデリング技術
- ・異なる物理量を検出する複数のセンサを一体化するレイアウト技術

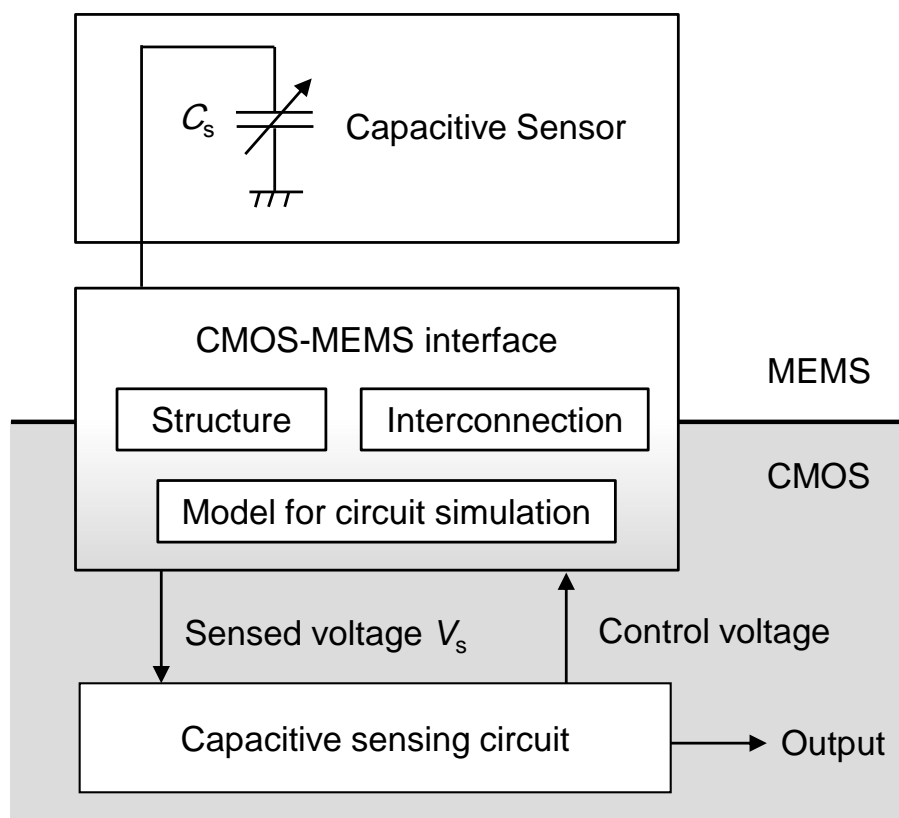


図2 CMOS－MEMSインターフェースを伴う容量センシングの構成

寄生素子補償回路技術は、MEMS構造に電荷を転送する構造を追加することで、寄生素子に生じる電流または電圧によって検出対象の容量に転送される電荷の減少を補償し、検出感度を向上させる。未知パラメータ抽出モデリング技術は、容量センサのMEMS構造に追加した増幅機構と、容量センサ回路に追加した電荷転送機能に対してMEMSとCMOSの設計統合手法を用いて回路シミュレーション用モデルを作成し、検出対象の信号に回路設計を最適化させることで、容量センシングを高感度化させる。異種センサ一体化レイアウト技術は、センサの構造パターンを共通化するとともに、センサ群に接続される制御線や出力線を共通化することで、容量センサと容量センサ回路との接続の配線長を最短化させ、容量センサに形成される寄生容量が最小化され、検出感度の低下が抑制される。このように、MEMSとCMOSを相互に作用させることで容量センサ回路が高感度化される。

2.3 CMOS－MEMSインターフェースの構成例

容量センシングの高感度化に向けた、寄生素子補償技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術のための構成例について述べる。

2.3.1 寄生素子補償回路技術

容量センサの検出電極に形成される寄生素子を補償する機能を備えたCMOS－MEMSインターフェースの構成例を図3に示す。寄生素子としては、検出容量 C_s と直列接続となる抵抗素子と、並列接続となる容量素子と抵抗素子が想定される。直列接続の抵抗素子については、応答信号生成回路が印加する電圧に対して電圧 ΔV_p が生じ、 C_s に印加される電圧が減少することにより C_s に誘起される電荷が減少するため、 C_s の容量値が小さい値として検出される。並列接続の容量素子と抵抗素子についても、電流 ΔI_p が流れることにより C_s に誘起される電荷が減少して C_s は実際よりも小さい値で検出される。寄生素子補償機能を備えたCMOS－MEMSインターフェースにおいては、MEMSに形成した電荷転送構造とCMOSに搭載した電荷補償回路を備える。電荷補償回路は ΔV_p 、 ΔI_p を補償する電圧源、電流源として動作し、電荷転送構造を通して寄生素子に電荷を供給する。これにより、寄生素子による電圧電流変化を抑制する。

MEMSに形成される電荷転送構造の例を図4に示す。可動体の位置を検出する容量センサ回路[1]について図4(a)を用いて説明する。検出対象の容量 C_s は可動体とセンサプレート間に形成され、 C_s を検出することで、可動体とセンサプレート間のギャップに関する情報が得られる。センサプレートの下部にシールドプレートを配置し、シールドプレートに電荷補償回路が接続される。これにより、センサプレートと接地電

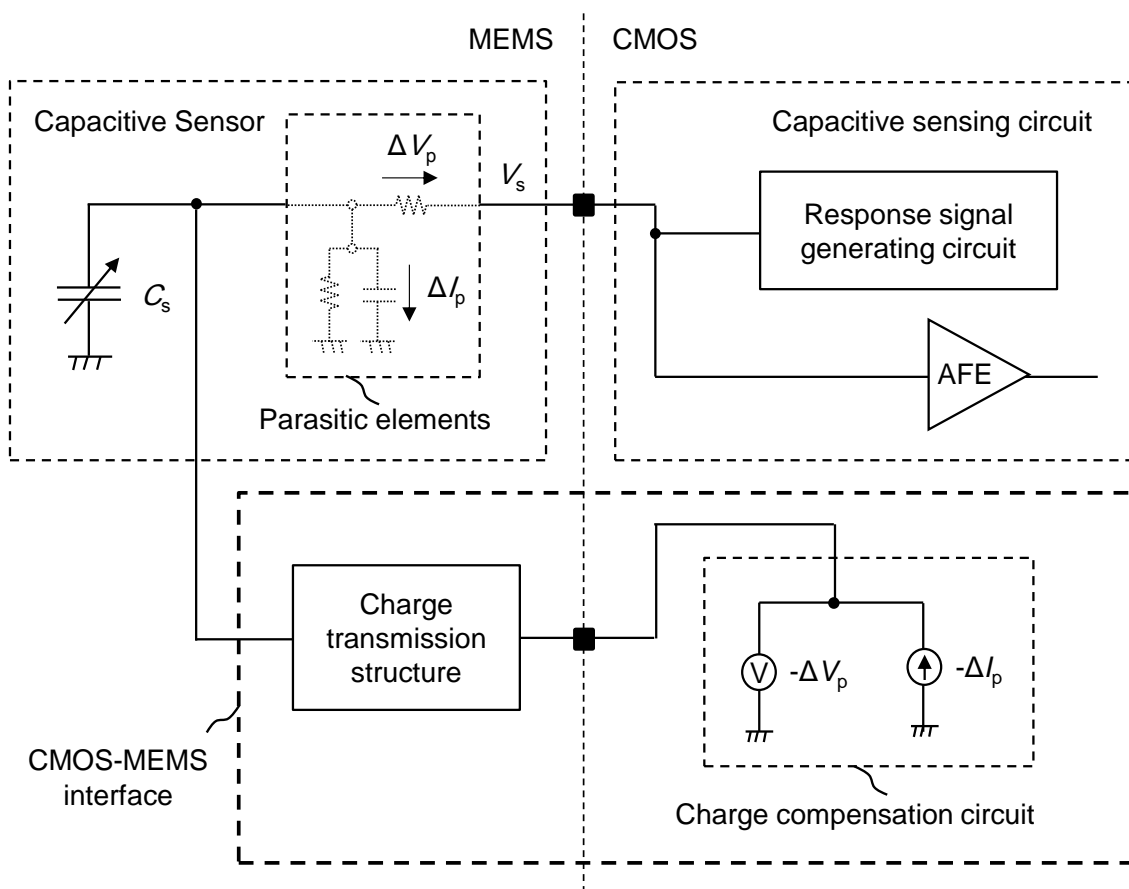
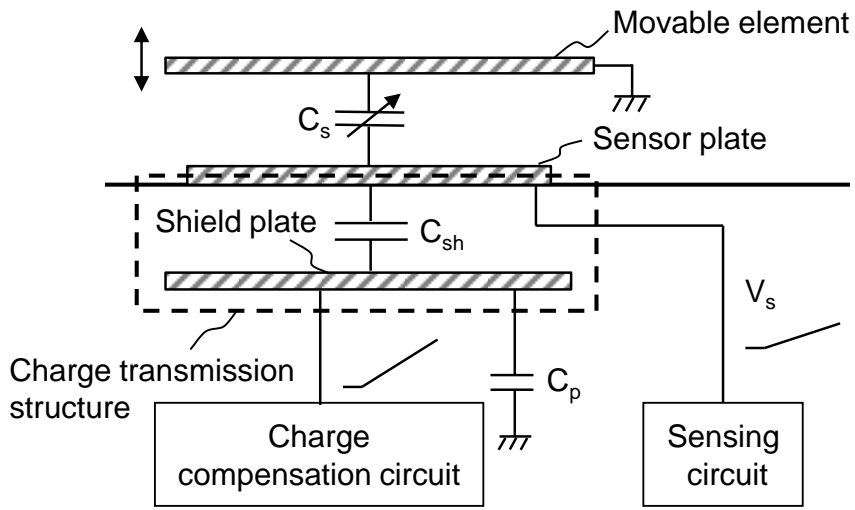


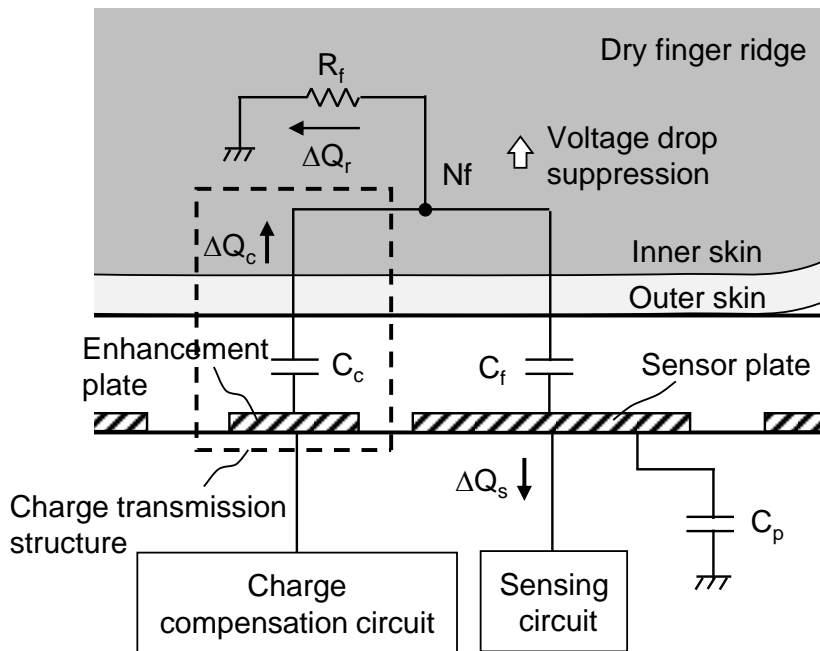
図3 寄生素子補償回路技術のためのCMOS-MEMSインターフェース

位との間に生じる寄生容量が抑制される。応答信号生成回路はセンサプレートとシールドプレートとの間に生じる容量 C_{sh} を介して C_s にランプ信号を出力する。シールドプレートに形成される寄生容量 C_p により、ランプ信号の傾きを小さくすることができるため、パルス幅変調方式と組み合わせた場合にパルス幅を大きくすることができ、容量検出の感度が向上される。

図4(b)は指紋をセンシングする容量センサ回路[2]である。指とセンサプレートとの間に形成される容量 C_f を検出することで、指紋の凹凸によるパターンが取得される。指の表面は表皮と真皮の2層構造を有し、表皮は真皮に対して抵抗率が高いことから、 C_f と直列接続される寄生抵抗 R_f の等価回路モデルで表現される。CMOS-MEMSインターフェースがない場合、指が乾燥すると R_f が増大することから、応答信号が生成される際に C_f と R_f の間の接点Nfの電圧が接地電圧以下に降下し、 C_f に印加される電圧が減少する。これにより、誘起される電荷量が減少して検出感度が低下する。CMOS-MEMSインターフェースの電荷転送構造としてセンサプレートと隣接してエンハ



(a)



(b)

図4 CMOS-MEMSインターフェースの電荷転送構造の例

(a) 可動体位置検出

(b) 指紋センシング(乾燥指)

ンスメントプレートが配置される。電荷補償回路は、応答信号が生成されるタイミングでエンハンスメントプレートに電圧を印加して指とエンハンスメントプレート間に形成される容量 C_e を介して接点Nfに電荷 ΔQ_e を転送する。これにより電荷 ΔQ_f が R_f において接地電圧方向に流れるため、Nfの電圧降下が抑制され、容量センサ回路の検出感度の低下が抑えられる。

2.3.2 未知パラメータ抽出モデリング技術

容量センサを構成する複合構造のパラメータを抽出する未知パラメータ抽出モデリング機能を備えたCMOS-MEMSインターフェースの構成例を図5に示す。MEMSにおいて複数の部材を連結して一つの構造体であり、容量センサが出力する容量 C_s に作用する混合構造を備えるとともに、CMOSにおいて容量センサが出力する

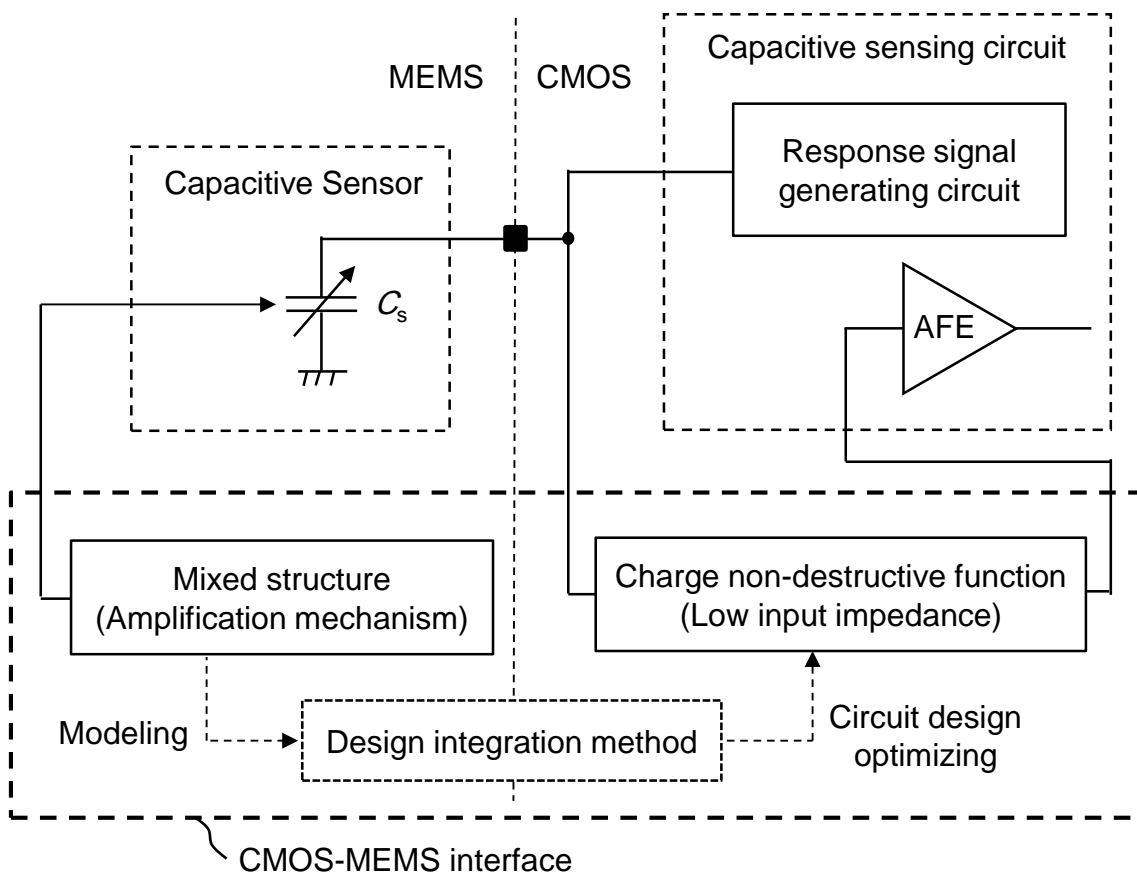


図5 未知パラメータ抽出モデリング技術のためのCMOS-MEMSインターフェース

電荷を効率よく転送する入力インピーダンスの低い電荷非破壊機能を付加することで、容量センサ回路の検出感度を向上させる[3-4]。混合構造の例としては、振動を検出する容量センサの共振周波数を下げて、検出する振動の周波数範囲に近づけることで容量センサが有する可動体の変位を増幅する振動増幅機構がある。振動増幅機構は複数の部品で構成され、部品間の接続の自由度を完全に固定することは困難であることから、共振周波数を低下させる特性を予測するための有限要素法などのシミュレーションの精度は低くなる。電荷非破壊機能を構成する回路の例としては、一方向に電流を流し、逆の向きには電流を流さないダイオードを入力段に用いた構成がある。容量センサ回路が出力する容量変化が小さい場合でも電荷転送の効率を確保するために入力インピーダンスは低く設定され、トランジスタはマイクロアンペア以下の電流となるサブスレッショルド領域で動作することから、電荷転送時の信号波形を予測する回路シミュレーションの精度も低くなる。容量センサ回路のパラメータをシミュレーションのみで最適化することは困難となるため、複雑な構造を有する増幅機構をモデリングし、回路設計を最適化する設計統合手法が有効となる。

パラメータ最適化に用いる設計統合手法のフローについて図6を用いて説明する。容量センサの特性を予測するためのFEM (Finite element method)シミュレータと、容

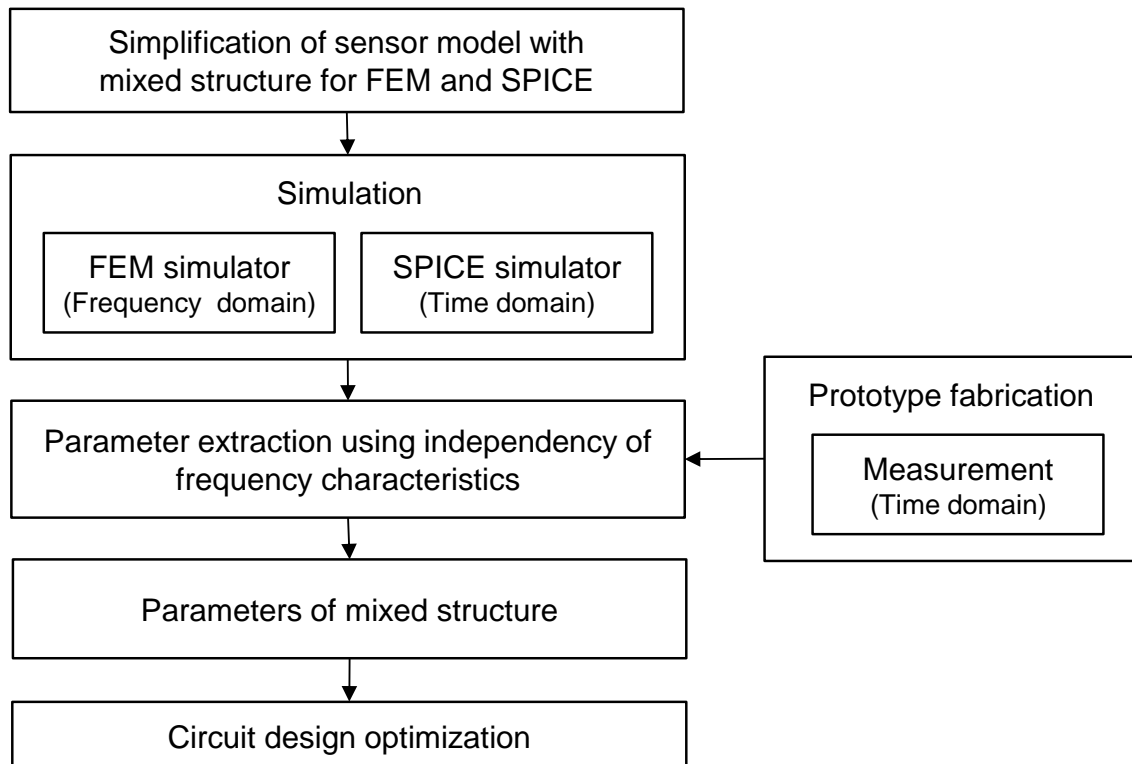


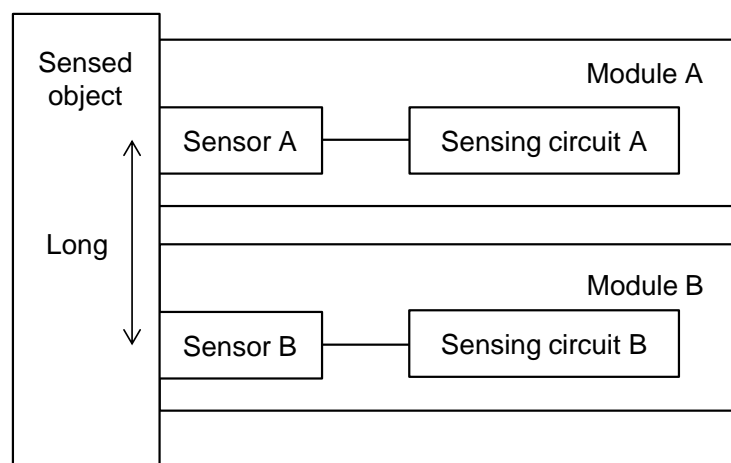
図6 シミュレーションと測定結果を用いた設計統合手法のフロー

量センサ回路の特性を予測するSPICE (Simulator program with integrated circuit emphasis) シミュレータに対して、混合構造を備えたセンサを簡略化したモデルを作成する。混合構造の複雑性から、モデルには未知のパラメータが含まれる。FEMシミュレータとSPICEシミュレータを組み合わせたシミュレーションの結果と、試作した実デバイスの測定結果を比較し、パラメータの周波数依存性を利用してパラメータ抽出を行う。これにより複雑な混合構造を抽象化したパラメータを取得することができ、回路設計の最適化が可能となることから、想定した容量センサ回路の検出感度を得ることができる。

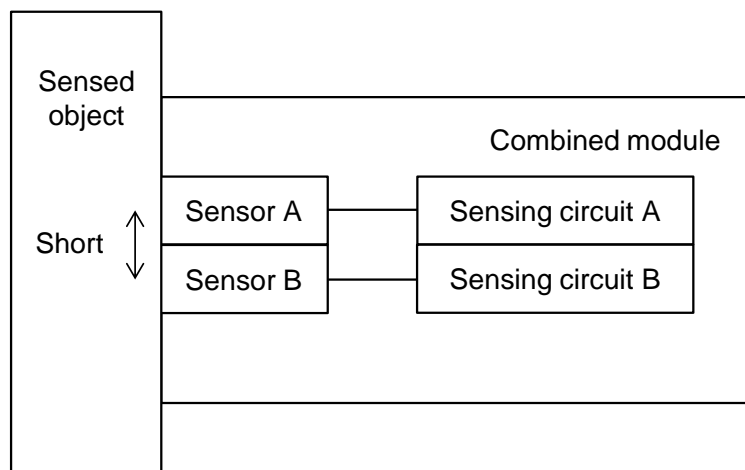
2.3.3 異種センサ一体化レイアウト技術

検出対象物の複数の情報を取得するために複数の種類のセンサを接触させて検出する場合について、図7を用いて説明する。単一のセンサを備えたモジュール A とモジュール B を用いる場合(図7(a))、センサ A とセンサ B が検出対象物に接触する場所が離れてしまい、同一の場所を検出することができない。各モジュールが接触する場所を同一にしてモジュール A で検出した後にモジュール B で検出する形態も考えられるが、検出対象物の状態が変化する場合には同時刻で同一の場所を検出することが必要な場合も想定される。このような場合、図7(b)に示すようにセンサAとセンサBを近接させて一体化されたモジュールとすることで、検出場所と検出時刻を同一にすることができる。検出場所の同一性に精度が求められる場合には、デバイスサイズを増加させずに、検出対象の異なるセンサとセンサ回路を一体化させることが求められる。

アレイ化されたセンサに異種センサを追加する場合には、アレイ内にセンサを追加する余地がないことから、一体化の難易度が上がる。化学変化を二次元的に観察するためにpHセンサのアレイ状に配置した形態において、導電率を一体的に検出するケースや、指紋画像を取得する容量センサアレイにおいて、インピーダンスを検出するケースが想定され、アレイセンサに異種センサ機能を追加する複数の応用例がある。複数のセンサセルで構成されるセンサアレイに異なるセンサを一体化させる機能を備えたCMOS-MEMSインターフェースの構成例を図8に示す。異種センサの例としては、指紋の凹凸により生じる容量差を検出する指紋センサに、偽造指によるなりすましを防止のためのインピーダンス検出機能を内蔵させる構成がある[5]。N個のセルA_n(n=1, 2, …, N)がアレイ化され、セルはセンサA_nとセンサ回路A_nで構成される。セルBはセルA_nとは異なり、センサA_nとは検出対象の異なるセンサBと、これに対応させたセンサ回路Bで構成される。CMOS-MEMSインターフェースとして、センサA_nとセンサBのパターンを共通化させる構造を有し、センサ回路Bの信号線をセンサ回路A_nの信号線と共通化させる機能を備える。これにより、左上のレイアウトの上面図



(a)



(b)

図7 異種センサ一体化の効果

(a) 異種センサが個別にモジュール化された形態

(b) 異種センサが近接してモジュールが一体化された形態

に示すように、一つのセルAnを置き換える形でセルBが配置され、センサAnが検出する被検体と同一の部位に対してセンサBが検出できる。

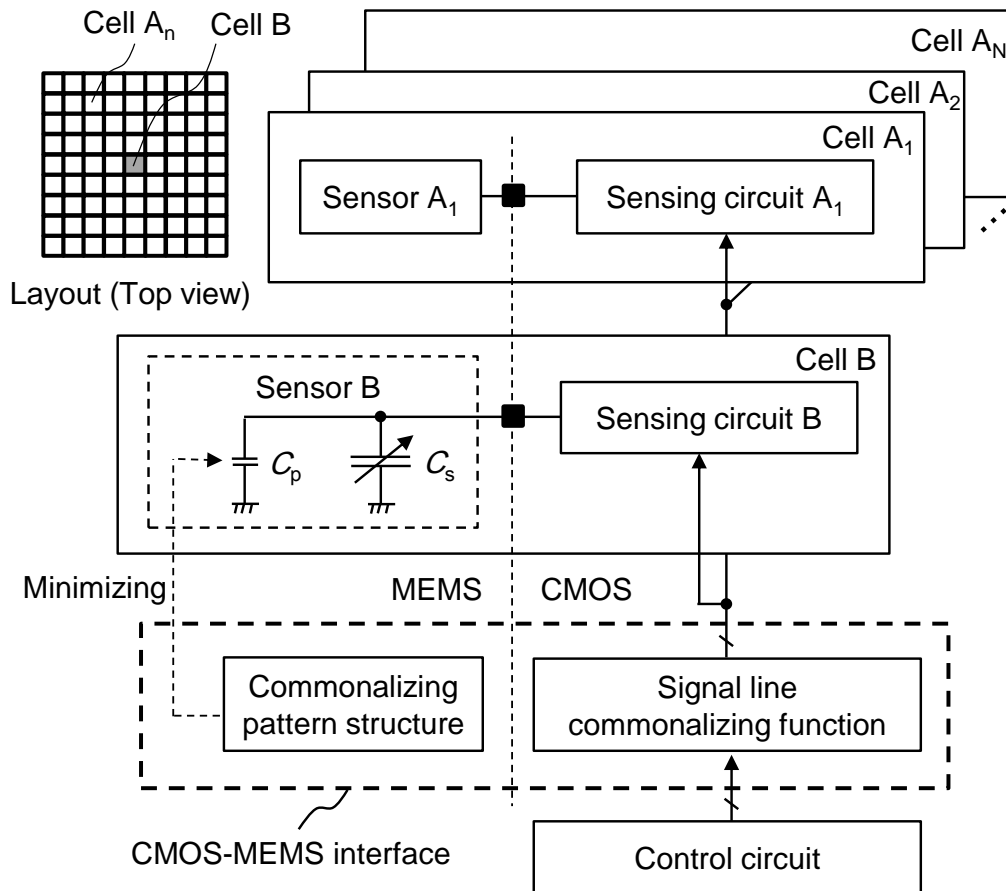
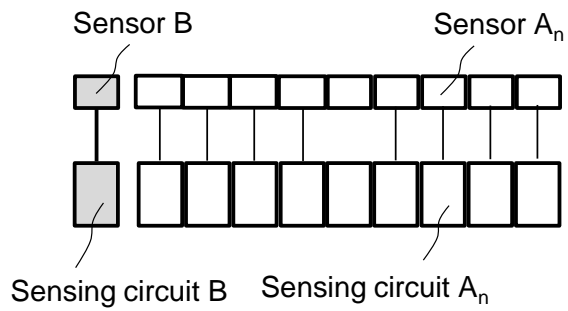
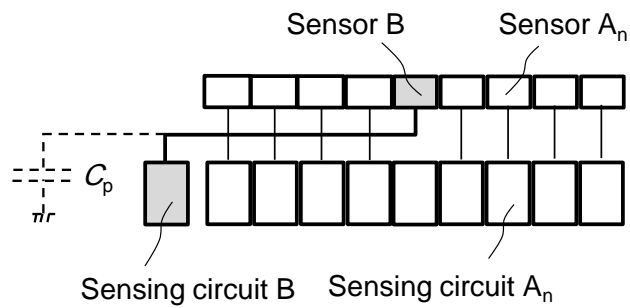


図8 異種センサー一体化レイアウト技術のためのCMOS-MEMSインターフェース

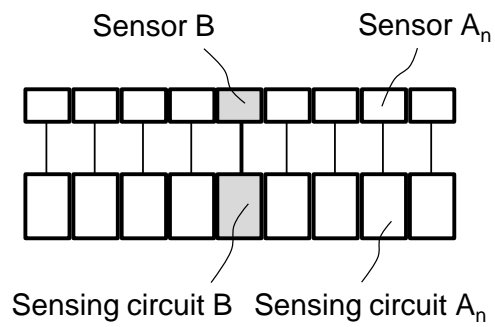
異種センサー一体化レイアウト技術により得られる効果について図9を用いて説明する。図9(a)はセンサアレイの外側に異種センサを追加した場合のデバイス断面図である。センサA_nとセンサ回路A_nのアレイ外にセンサBとセンサ回路Bが配置される。この場合、センサBが検出する被検体の箇所が、センサA_nのアレイの中心から遠くなってしまふ。図9(b)はセンサに共通化パターン構造を適用することにより、センサBをセンサA_nのアレイ内に配置している。一方、センサ回路Bはセンサ回路A_nのアレイ外に配置される。この場合、センサBとセンサ回路Bを接続する配線長が大きくなり、センサBに形成される寄生容量 C_p が大きくなる。図9(c)はセンサ回路の信号線を共通化することにより、センサ回路BをセンサBに近接して配置することができ、センサBに形成される寄生容量 C_p が最小化されることから、センサ回路Bの検出感度を確保することができる。



(a)



(b)



(c)

図9 異種センサー一体化レイアウト技術の効果
 (a)アレイセンサの外側に異種センサを追加した形態
 (b) 共通化パターン構造有、信号線共通化機能無
 (c) 共通化パターン構造有、信号線共通化機能有

2.4 本章のまとめ

CMOS-MEMSインターフェースの相互作用機構により容量センシングを高感度化させる技術のコンセプトについて説明した。CMOS-MEMSインターフェースの構成例として、寄生素子補償技術、未知パラメータ抽出モデリング技術、異種センサー一体化レイアウト技術について説明し、容量センサ回路の高感度化に有効であることを示した。

第 2 章参考文献

- [1] T. Shimamura, H. Morimura, K. Kuwabara, N. Sato, J. Terada, M. Ugajin, S. Shigematsu, K. Machida, "A Capacitive Sensing Scheme for Control of Movable Element with Complementary Metal-Oxide-Semiconductor Microelectromechanical-Systems Device," *Jpn. J. Appl. Phys.*, vol. 47, no. 5, pp. 3418-3422, May 2008.
- [2] T. Shimamura, H. Morimura, S. Shigematsu, M. Nakanishi, K. Machida, "Capacitive-Sensing Circuit Technique for Image Quality Improvement on Fingerprint Sensor LSIs," *IEEE J. Solid-State Circuits*, vol.45, no.5, pp. 1080-1087, May 2010.
- [3] T. Shimamura, and H. Morimura, "Design Integration Method of Vibration Sensor and Sensing Circuit with Zero-power Charge Transfer for Millimeter-sized Wireless Sensor Nodes," *IEEJ Trans. Sensor and Micromachines*, vol.141 no.1 pp.7-13, 2021.
- [4] T. Shimamura, and H. Morimura, "Novel Threshold Circuit Technique and Its Performance Analysis on Nanowatt Vibration Sensing Circuits for Millimeter-Sized Wireless Sensor Nodes," *IEICE Trans. electron.*, vol.E104-C, no.7 pp. 272-279, 2021.
- [5] T. Shimamura, H. Morimura, N. Shimoyama, T. Sakata, M. Nakanishi, S. Shigematsu, K. Machida, "Impedance-Sensing Circuit Techniques for Integration of a Fraud Detection Function into a Capacitive Fingerprint Sensor," *IEEE Sensor J.*, vol.12, no.5, pp.1393-1401, May 2012.

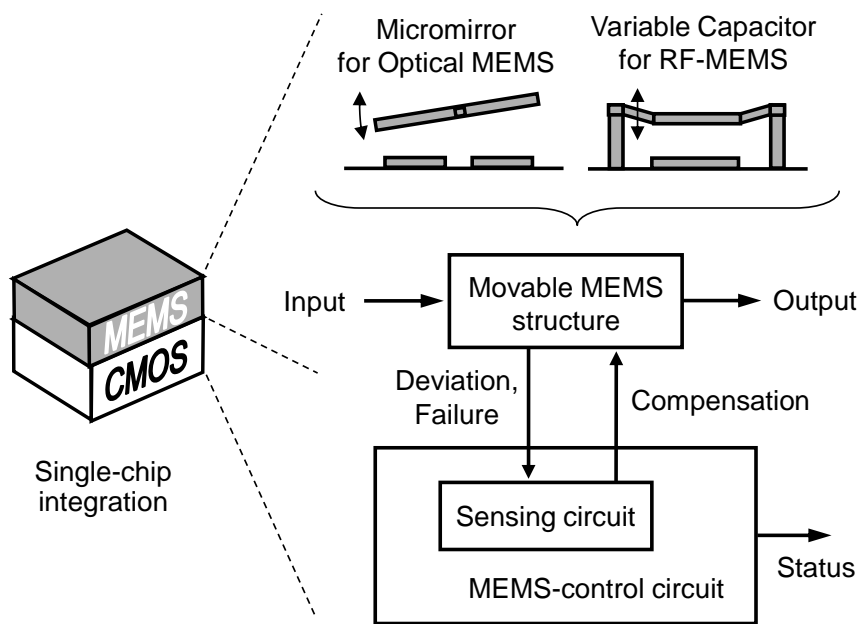
第3章

寄生容量を伴う可動体容量のリアルタイム検出手法

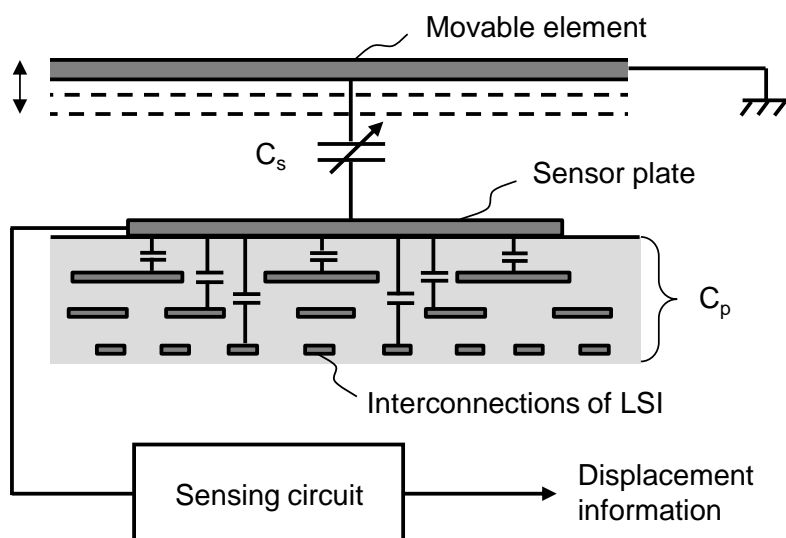
3.1 はじめに

次世代のユビキタスネットワーク時代の時代では、センサネットワークが我々の生活をより便利に、より安全に、そしてより快適にすると期待されている。無線通信および光スイッチング用の微小電気機械システムMEMS (Micro electro mechanical systems) デバイスは、それぞれRF-MEMS、光MEMSと呼ばれ、このようなネットワークを構築するのに有効である。RF-MEMS用の可変容量や光MEMS用のマイクロミラー等の可動構造を有するMEMSデバイスの場合、その構造を正確に制御することは、信頼性、テスト容易性、および、歩留まりの観点から重要である。MEMSデバイスを制御するのに、相補型金属酸化膜半導体CMOS (Complimentary metal oxide semiconductor) 回路と統合して、CMOS-MEMSデバイスとして構成する方法がある。デジタルマイクロミラーデバイス、加速度センサ、赤外線イメージセンサの例がある[1-3]。シームレスインテグレーション技術SeaiT (Seamless integration technology) [6]を使用したMEMS指紋センサLSIとRF-CMOS-MEMSスイッチ[4-5])を開発した例もある。

CMOS-MEMSデバイスの制御の概念を図1に示す。図1(a)は、MEMSの可動構造としてマイクロミラーと可変容量素子をCMOS LSIにより制御する例を示している。製造工程において、MEMS構造内の空隙の長さが規定値から外れたり、可動体が故障したりする場合がある。これらの状態を検出するため、MEMS制御回路にセンサ回路を備え、可動体の変位として静電容量をリアルタイムでセンシングする。MEMS制御回路は、変位情報に基づいて可動体に必要な補償量を決定してループ利得を調整することでフィードバックする。最後に、障害が発生したかどうかを示す状態信号を出力する。変位に基づいてMEMSデバイスを制御するにより、MEMS構造のプロセス変動を補償するためにキャリブレーションする機能、および、状態信号に基づいてウェハレベルのテストを実行する機能を実現できる。また、変位情報はMEMSデバイスの故障を分析するのに役立つ。加えて、高速フィードバック動作が可能な場合は、MEMSデバイスを適応的に制御することができる。適応制御は、参考文献[7]で説明されているように、マイクロミラーの高速遷移を安定させるのに役立つとともに、RFノイズや振動により偶発的に可動体が対向するセンサプレートに引き込まれるプルイン (pull-in) 現象を防止できる。



(a)



(b)

図1 CMOS LSI上に積層されたMEMSデバイスの
容量センシングによる制御

(a) CMOS LSIによって制御されるMEMS構造の例

(b) 容量センシングの課題

図1 (b)を用いて容量センシングの課題を説明する。可動体の変位は、可動体とセンサプレートとの間の容量 C_s をセンシングすることによって検知される。LSIの層間膜として厚い誘電体層を製造することは難しいため、センサプレートとLSI配線との間の距離は小さい。一方、可動体は広い可動範囲を必要とするため、可動体とセンサプレートとの間の空隙は大きい。さらに、誘電体層の比誘電率は空隙の比誘電率よりも大きい。そのため、センサプレートの寄生容量 C_p は検出される容量 C_s よりも大きくなる。すなわち、可動体の制御を可能にするためには、 C_p が大きい状態でも C_s に対してセンサ回路が十分な感度を確保しなければならないという課題がある。

本章では、容量センシング高感度化に向けたCMOS-MEMSインターフェースの寄生素子補償回路技術において寄生容量の利用に着目し、CMOS-MEMSデバイスを制御するために可動体の変位をリアルタイムに検出するための新しい容量センシング手法について説明する。3.2節では C_p が大きい状態でも小さな C_s を検出する原理について説明する。3.3節では提案手法を採用したセンサ回路の感度を分析した結果を示す。3.4節で作製したテストチップの実験結果を示し、提案手法の有効性を示す。

3.2 容量センシング手法の原理

提案した容量センシング手法(図2)は、センサプレートの下にシールドプレートを配置し、電流源をシールドプレートに接続することを特徴とする。シールドプレートの電圧 V_{sh} は、シールドプレートとセンサプレートとの間の容量 C_{sh} を介してセンサプレートに伝達される。検出対象の容量 C_s は、センサプレートの電圧 V_s から得られる。シールドプレ

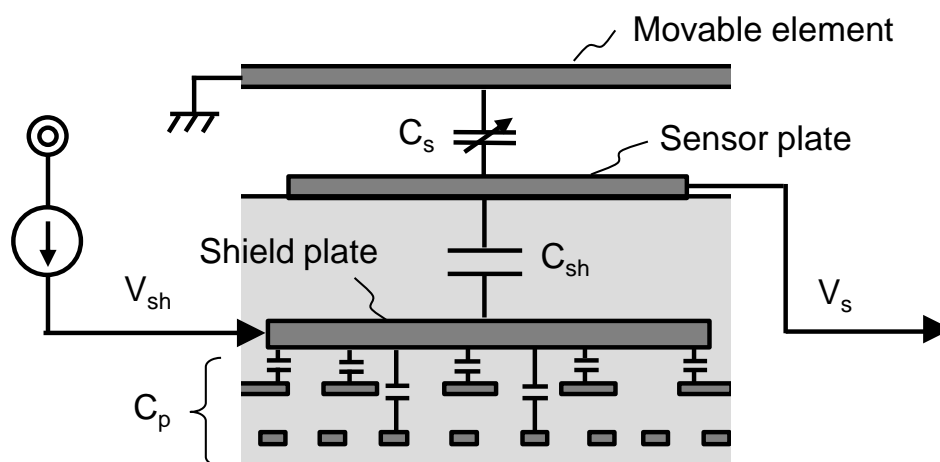
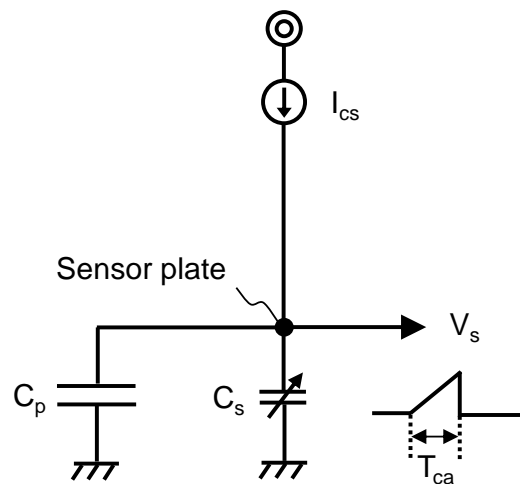


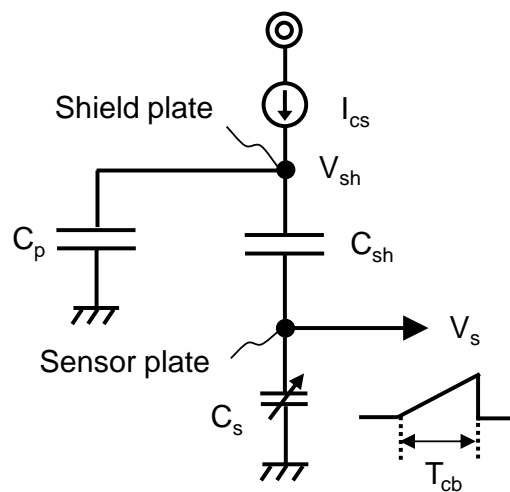
図2 提案した容量センシング手法

ートにより検出対象の容量 C_s を寄生容量 C_p から分離することで、検出対象の容量の検出が容易となる。

図3に示す等価回路モデルを用いて容量センシング手法の原理を説明する。容量センシングは、電流源により検出対象の容量が充電されるのに要する時間を測定する



(a)



(b)

図3 等価回路モデル
 (a)シールドプレート無
 (b)シールドプレート有(提案手法)

ことに基づいている。シールドプレートを伴わない回路の場合[図3(a)]では、電流源は、検出対象の容量 C_s だけでなく、寄生容量 C_p も充電する。 C_s と C_p を充電するのに要する時間 T_{ca} は、次の式で与えられる。

$$T_{ca} = \frac{V_s}{I_{cs}} (C_s + C_p) \quad (1)$$

ここで、 I_{cs} は電流源の電流、 V_s はセンサプレートの電圧である。

これに対して、提案手法 [図 3(b)] では、検出対象の容量 C_s は寄生容量 C_p から分離される。電流源は、容量 C_{sh} を介してセンサプレートに電圧を誘導する。これにより、充電時間 T_{cb} は次の式で与えられる。

$$T_{cb} = \frac{V_s}{I_{cs}} \left[\left(1 + \frac{C_p}{C_{sh}} \right) C_s + C_p \right] \quad (2)$$

式(1)と比較して、 $(1 + C_p/C_{sh})$ の係数により充電時間に対する C_s の依存性が大きくなることが分かる。シールドプレートの面積をセンサプレートの面積より大きくすることで、 C_p/C_{sh} を1より大きくすることができる。すなわち、センサプレートへの電流は、容量 C_{sh} を使用して寄生容量への電流から分離することにより減少するため、充電時間を長くすることができる。このように、シールドプレートを設置することにより、検出対象の容量の検出を容易化できる。

3.3 センサ回路の感度

提案した容量センシング手法のためのセンサ回路を図4に示す。シールドプレート、電流源、傾き検出回路、参照信号回路、位相検出器、および、積分器で構成される。クロック信号が電流源に輸入され、電流源はシールドプレートと参照信号回路に接続される。傾き検出回路は、センサプレートにおける信号の傾きを検出する。傾き検出回路と参照信号回路の出力は、位相検出器に供給される。積分器は、パルスの変動を平均化するために所定の期間中に位相検出器の出力パルスの幅を加算する。

図5に示すセンサ回路のタイミングチャートを用いて回路の動作を説明する。クロック信号がロー状態からハイ状態に変化すると、電流源はシールドプレートの寄生容量 C_p の充電を開始する。これにより、シールドプレートの電圧 V_{sh} は上昇する。シールドプレートにランプ信号が生じ、容量 C_{sh} を介してセンサプレートに電圧を誘導する。センサプレートの電圧 V_s の上昇は、検出対象の容量 C_s に依存する。傾き検出回路はセンサ

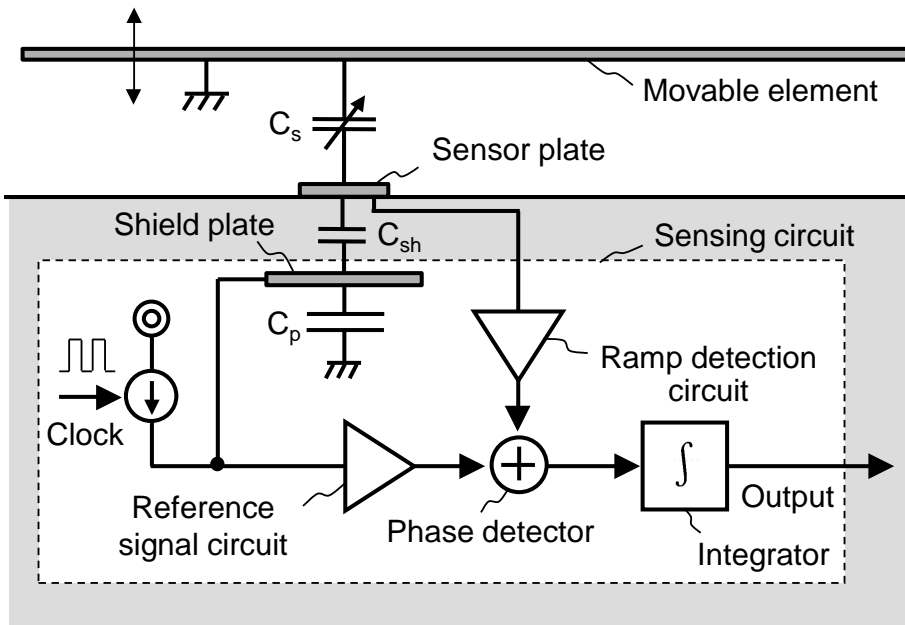


図4 提案手法を用いたセンサ回路

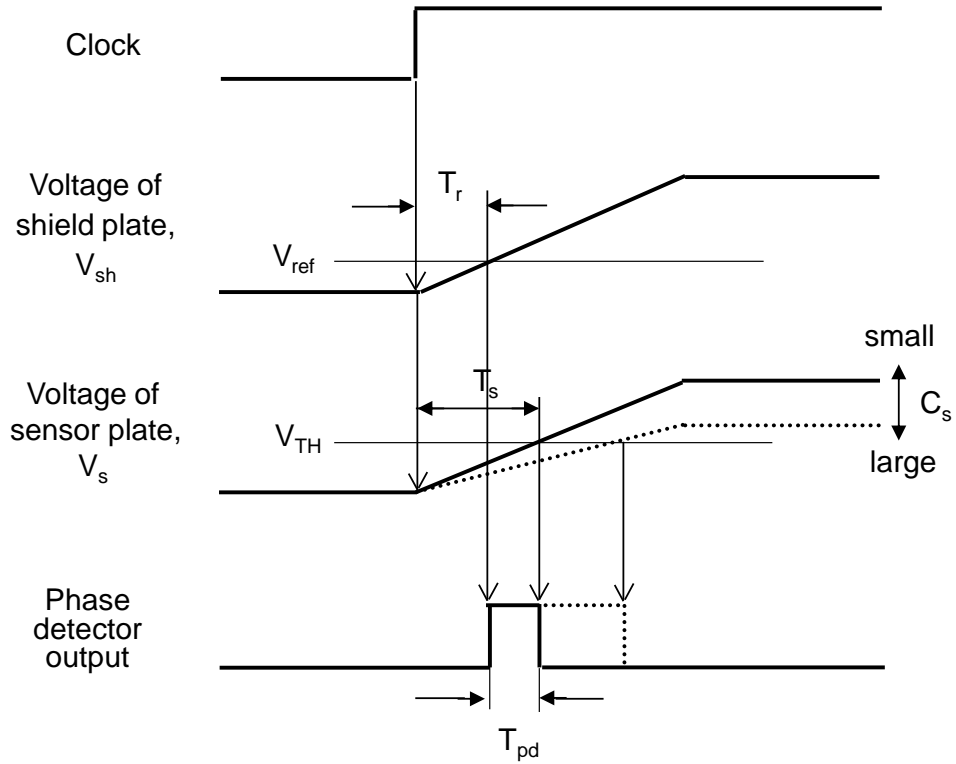


図5 センサ回路の動作

プレートの電圧上昇の傾きを、センサプレートの電圧が閾値電圧 V_{TH} に到達するのに要する充電時間 T_s に変換する。参照信号回路は、シールドプレートの電圧に基づいた参照信号を参照電圧 V_{ref} で閾値処理して幅 T_r のパルスとして生成する。 T_s と T_r に基づいて、位相検出器は C_s に依存する T_{pd} の幅のパルスを出力する。パルス幅 T_{pd} と検出対象の容量 C_s の関係について説明する。シールドプレートの電圧 V_{sh} の傾きは、次式で与えられる。

$$\frac{dV_{sh}}{dt} = \frac{I_{cs}}{C_p + \frac{C_{sh}C_s}{C_{sh} + C_s}} \quad (3)$$

センサプレートの電圧 V_s の傾きは、次式で与えられる。

$$\frac{dV_s}{dt} = \frac{1}{C_s} \left(I_{cs} - C_p \frac{dV_{sh}}{dt} \right) \quad (4)$$

これは、 C_s が大きい場合、図5の点線で示すように、センサプレートの電圧の傾きが緩やかになることを意味する。式(4)の dV_{sh}/dt の項を式(3)に代入することで次式が得られる。

$$\frac{dV_s}{dt} = \frac{I_{cs}}{\left(1 - \frac{C_p}{C_{sh}}\right) C_s + C_p} \quad (5)$$

クロック信号の立ち上がりエッジからの時間 T_s 後に V_s が V_{TH} になるため(図5)、式(5)を次のように書き直せる。

$$\int_0^{T_s} dt = \int_0^{V_{TH}} \frac{1}{I_{cs}} \left[\left(1 + \frac{C_p}{C_{sh}}\right) C_s + C_p \right] dV_s \quad (6)$$

式(6)から、 T_s は次式によって与えられる。

$$T_s = \frac{V_{TH}}{I_{CS}} \left[\left(1 + \frac{C_p}{C_{sh}} \right) C_s + C_p \right] \quad (7)$$

V_{sh} はクロック信号の立ち上がりエッジから時間 T_r で V_{ref} となるため(図5)、式(3)から次式が得られる。

$$\int_0^{T_r} dt = \int_0^{V_{ref}} \frac{1}{I_{CS}} \left(C_p + \frac{C_{sh} C_s}{C_{sh} + C_s} \right) dV_{sh} \quad (8)$$

式(8)から、 T_r が得られる。

$$T_r = \frac{V_{ref}}{I_{CS}} \left(\frac{C_{sh} C_s}{C_{sh} + C_s} + C_p \right) \quad (9)$$

次に、式(7)の T_s から式(9)の T_r を減算することで次式が得られる。

$$T_{pd} = \frac{1}{I_{CS}} \left\{ \left[V_{TH} \left(1 + \frac{C_p}{C_{sh}} \right) - V_{ref} \left(\frac{C_{sh}}{C_{sh} + C_s} \right) \right] C_s + (V_{TH} - V_{ref}) C_p \right\} \quad (10)$$

V_{ref} が V_{TH} に等しい場合、式(10)は次式にて簡略化できる。

$$T_{pd} = \frac{V_{TH}}{I_{CS}} \left(\frac{C_p}{C_{sh}} + \frac{C_s / C_{sh}}{1 + C_s / C_{sh}} \right) C_s \quad (11)$$

C_{sh} が C_s より大きい場合、式(11)を次式で近似できる。

$$T_{pd} \cong \frac{V_{TH}}{I_{CS}} \frac{C_p}{C_{sh}} C_s \quad (12)$$

したがって、 C_s は、位相検出器によって出力されたパルスの幅 T_{pd} として検出できる。

図6に示すように、センサ回路の出力信号は C_p に依存する。破線は C_p が小さい場合、実線は C_p が大きい場合を示している。シールドプレートが大きいと C_p が大きくなり、 C_p の充電に時間がかかるため、シールドプレートとセンサプレートにおける電圧上昇

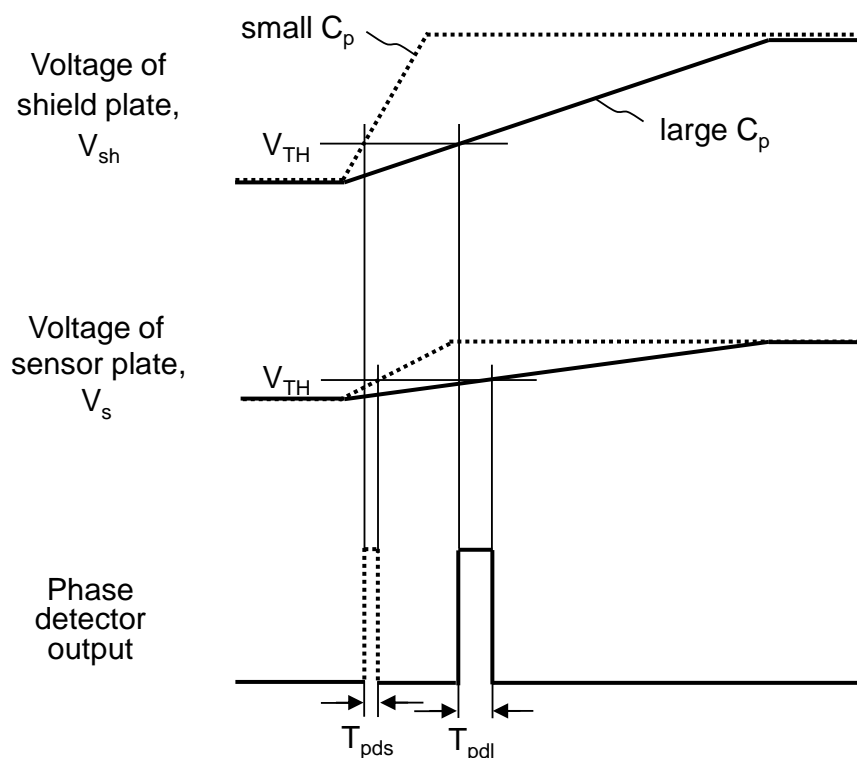


図6 検出対象の容量 C_s に対する感度の向上

の傾きが緩やかになる。その結果、位相検出器は広いパルスを出力する。すなわち、 T_{pdl} は図6の T_{pds} よりも大きくなる。したがって、 C_p を大きくして傾きを緩やかにすると、 C_s に対する感度が向上する。その結果、センサ回路は、寄生容量 C_p が大きい場合でも、小さい容量 C_s を高感度に検出することができる。

3.4 実験結果

3.4.1 テストチップ

提案手法の効果を確認するために、センサ回路(図7)をLSI上に積層したMEMS構造を備えるテストチップに実装した。傾き検出回路と参照信号回路はそれぞれ比較器で構成される。位相検出器は排他的論理和ゲートである。積分器は容量 C_{itg} を用いてパルス幅を加算する。このセンサ回路は、従来の回路で用いられる大きな抵抗素子を必要としない。そのため、本手法を用いることでシールドプレートを含めてもレイアウト面積を削減することができる。

テストチップの顕微鏡写真(図8)に示すように、MEMS可変容量がセンサ回路の上に作成される。パッドはC-V測定に用いられる。テストチップのSEM画像を(図9)では、(a)MEMS可変容量と(b)A-A'線に沿った断面図を示している。断面観察のための試料は集束イオンビーム(Focused Ion Beam:FIB)装置を用いて作製した。断面図は、センサプレートとLSI配線との間にシールドプレートが形成されていることを示している。シールドプレートは、LSI配線と同様にCMOSプロセスにより形成される。そのため、本手法は追加のプロセスを必要としない。

チップの特性を表1に示す。テストチップは、0.6 μm CMOSプロセスとMEMSプロセスを用いて作製した[6]。センサ回路の電源電圧は3.3 Vである。クロック周波数は20 MHzであり、センシング時間は1 μs に設定した。MEMS可変容量の制御電圧は6 V未満である。

表1 チップ特性

Process	0.6- μm CMOS + MEMS process
Sensing circuit	
Supply voltage (V)	3.3
Clock frequency (MHz)	20
Sensing time (μs)	1
MEMS variable capacitor	
Control voltage (V)	<6.0

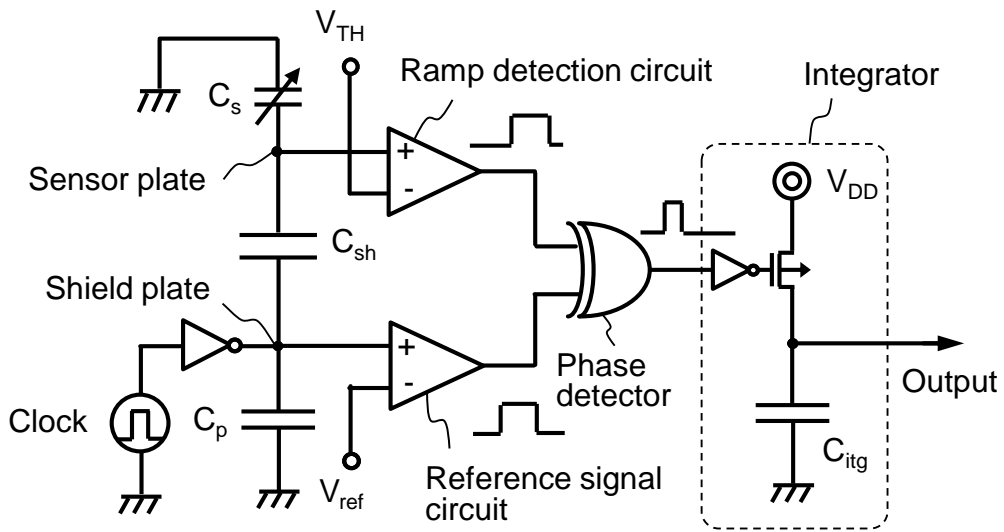


図7 センサ回路の構成。

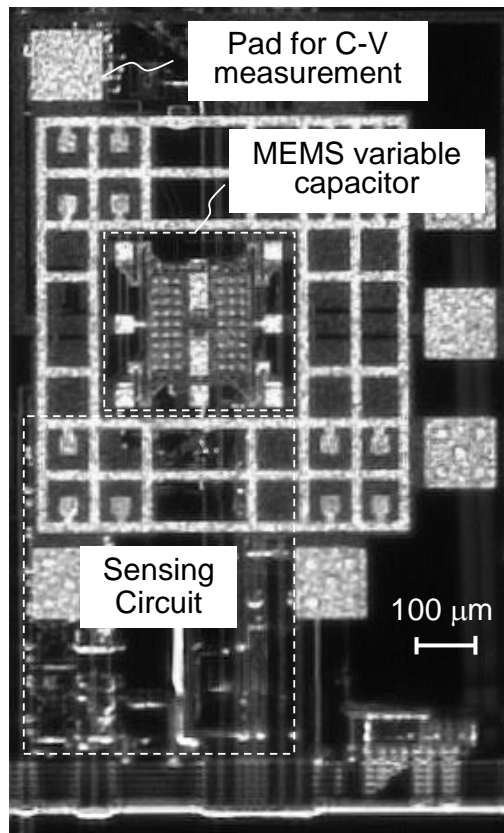
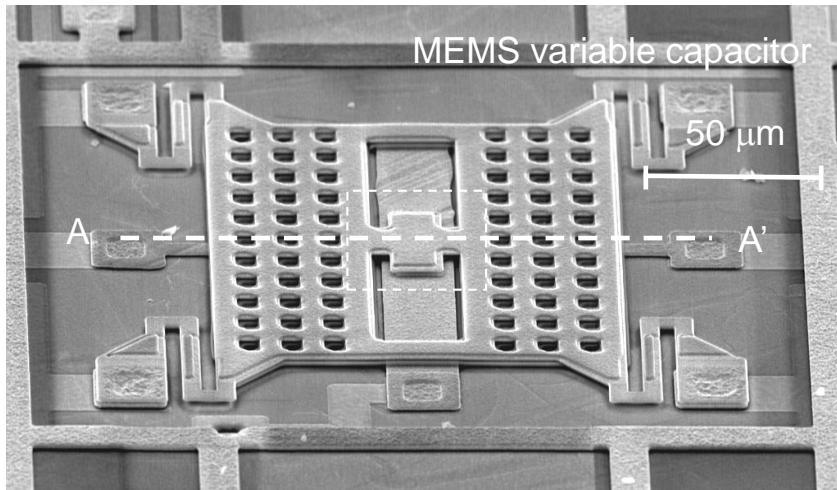
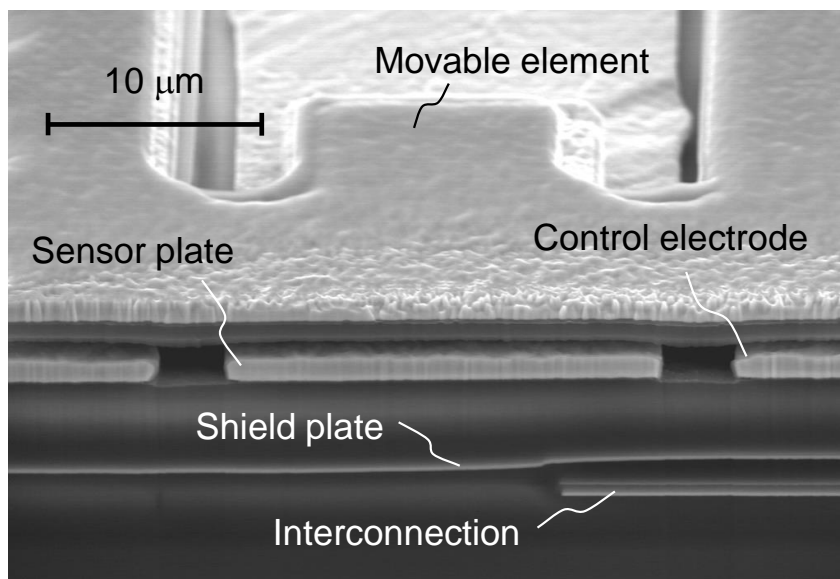


図8 テストチップの顕微鏡写真



(a)



(b)

図9 テストチップのSEM画像
(a)MEMS可変容量
(b)A-A'線に沿った断面図

3.4.2 センシング特性

センサ回路の特性を図10に示す。図10(a)は、CVメーターで測定した場合に、制御電圧が0 Vから3.3 Vに増加すると、MEMS可変容量の容量が9 fFから11 fFに変化することを示している。この容量変化に対応して、図10(b)に示すように、出力電圧は1 Vから2 Vに増加する。センサプレートとシールドプレート間の容量 C_{sh} は、150 fFと推定した。このように、提案したセンサ回路は、 C_{sh} の10分の1未満の容量を検出できることが分かる。

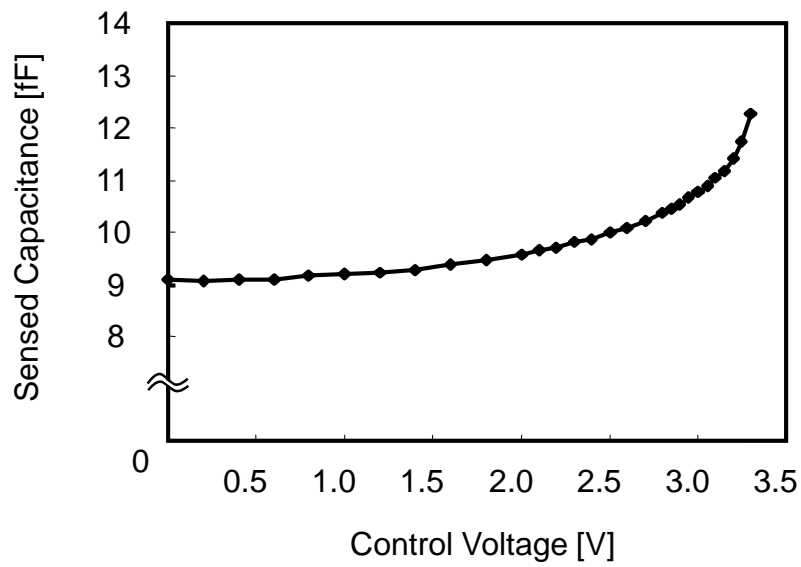
検出対象の容量とセンサ回路の出力電圧の関係(図11)において、ドットでプロットした測定データは、線形であることが分かる。破線は、シールドプレートを用いない場合のデバイスについて、 C_{sh} (150 fF)と C_p (750 fF)の推定値を用いて式(1)と式(2)の比較により導出した出力電圧の推定値を示している。提案手法は、出力電圧の変化を6倍に増加させる。これらの結果により、提案したセンサ回路は寄生容量が大きい場合でも、小さな容量を検出できることを実証した。

3.5 本章のまとめ

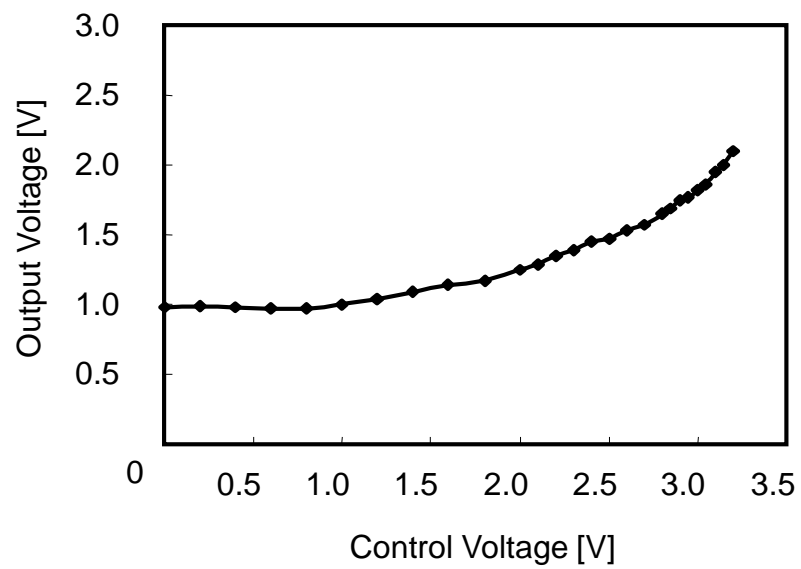
CMOS-MEMSインターフェースの寄生素子補償回路技術において寄生容量の利用に着目し、CMOS LSI上に積層されたMEMSデバイスの制御に向けて、容量をリアルタイムに検出する手法を提案した。センサプレートの下にシールドプレートを配置することで寄生容量の影響を抑え、シールドプレートにランプ信号を印加することで検出感度を向上させた。センサ回路はシールドプレートに充電される電荷によってセンサプレートに生成されるランプ信号として検出対象の微小容量を検出する。シールドプレートを大きくして信号の傾きを緩やかにすることで検出感度を向上できる。

提案手法の有効性を評価するために、0.6 μ m CMOSプロセスとMEMSプロセスを用いてテストチップを作製した。センサ回路上にMEMS可変容量を積層し、センサプレートの下にシールドプレートを形成した。センシング時間1 μ sにおいて、センサ回路の出力電圧範囲1-2 Vが、MEMS可変容量の容量値9-11 fFに対応することを確認した。提案手法を用いることで検出容量と出力電圧の比で定義される検出感度を、提案手法を用いない場合と比べて6倍に向上した結果を得た。

提案した容量検出手法を用いることで、寄生容量が大きい場合でも微小容量を高速に検出することができ、これによりCMOS LSI上に積層されたMEMSデバイスを制御するために可動体の変位をリアルタイムで検出する上で、効果的な手法であると結論づけた。



(a)



(b)

図10 センサ回路の特性
 (a) MEMS可変容量の容量
 (b) センサ回路の出力電圧

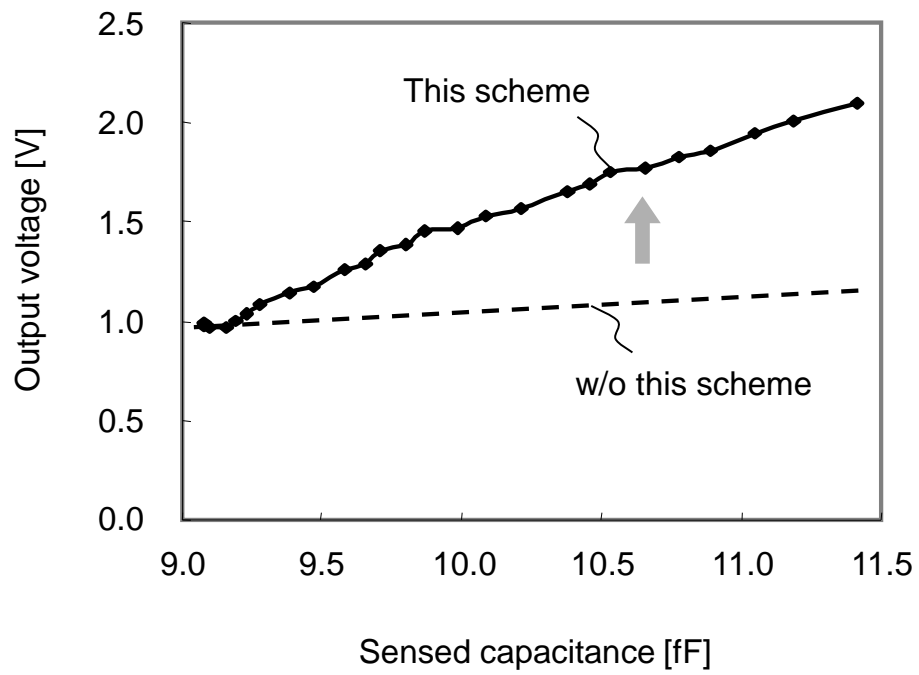


図11 検出対象の容量と出力電圧の関係で示すセンサ回路の感度

第 3 章参考文献

- [1] P. F. van Kessel, L. J. Hornbeck, R. E. Meier, and M. R. Douglass, "A MEMS-based projection display," *proc.of the IEEE* vol.86, pp.1687, 1998.
- [2] K. H. L. Chau, S. R. Lewis, Y. Zhao, R. T. Howe, S. F. Bart, and R. G. Marcheselli, "An integrated force-balanced capacitive accelerometer for low-g applications," *Sens. Actuators A*, vol.54 pp. 472-476, 1996.
- [3] T. Ishikawa, M. Ueno, Y. Nakaki, K. Endo, Y. Ohta, J. Nakanishi, Y. Kosasayama, H. Yagi, T. Sone, and M. Kimata, "Performance of 320 x 240 Uncooled IRFPA with SOI Diode Detections," *proc.of SPIE* 4130 pp. 152-159, 2000.
- [4] N. Sato, K. Machida, H. Morimura, S. Shigematsu, K. Kudou, M. Yano, and H. Kyuragi, "MEMS Fingerprint Sensor Immune to Various Finger Surface Conditions," *IEEE Trans. Electron Devices* vol. 50, no.4, pp. 1109-1116, 2003.
- [5] K. Kuwabara, M. Urano, J. Kodate, N. Sato, H. Morimura, T. Sakata, H. Ishii, T. Kamei, K. Kudo, M. Yano, and K. Machida, " Novel Structure and Fabrication Process for Integrated RF Microelectromechanical-System Technology," *Jpn. J. Appl. Phys.* vol. 45 no. 9R, pp. 6849, 2006.
- [6] H. Ishii, S. Yagi, K. Saito, A. Hirata, K. Kudou, M. Yano, T. Nagatsuma, K. Machida, and H. Kyuragi, "Microfabrication Technology for High-speed Si-based Systems," *proc.of SPIE* 4230, pp. 43-51, 2000.
- [7] J. Terada, M. Urano, J. Kodate, S. Mutoh, and K. Machida, "A 6-bit A/D Converter for MEMS-control circuit," *Ext. Abstr. Solid State Devices and Materials*, pp. 926-927, 2005.

第4章

寄生直列抵抗を伴う被検体容量による表面形状認識手法

4.1 はじめに

将来のユビキタス社会では、電子商取引が拡大し、個人情報保護が重要となる。このような社会では、様々な状況でユーザ認証が求められる。ユーザの識別を便利かつ安全なものとするために、人体の物理的特徴を利用するバイオメトリクスが用いられる。その中でも指紋を使用した生体認証は、犯罪捜査の手段として長い歴史がある。指紋の識別には、指紋が生涯にわたって不変であることを利用する。指紋はセンサに指で触れるだけで検出できるので、キーボードでパスワードを入力するよりも簡易である。検出方法としては、主に光学的な手法と静電容量的な手法がある[1-4]。一般に、静電容量型は、センサに光学レンズなどのサイズの大きな部品が必要ないため、識別システムの小型化に適している。静電容量型の指紋センサLSIを用いる方法を図1に示す。指とセンサ表面の間の距離の情報を含む静電容量を検出することで指紋画像が取得される。指で触れるセンサ構造には、パッシベーション膜で覆われたセンサプレートを用意する。センサ回路はプレートに接続され、指とセンサプレート間の容量 C_f を検出する。センサはLSIチップのみで構成されるため、ユーザ識別のためのモジュールを薄くできる。静電容量型指紋センサは、携帯電話やノートブックコンピュータなどのモバイル機器だけでなく、将来の電子商取引用の無線給電ICカードなど、大容量な電源を搭載できない様々なシステムのセキュリティを向上させると期待される。静電容量型センサLSIとしては、シールドプレートの電位をフィードバックする静電容量検出方法[1-3]とAC結合(電界)による検出方法[4-5]に基づくセンサ回路が開発されている。これらの回路は静電容量に対して高い感度を有するが、センサプレートがMOSFETのゲート端子に接続されているため、静電放電(ESD)からの高電圧がセンサプレートに印加されるとMOSFETのゲート酸化膜に障害が発生し、ESD耐性の確保が困難であると考えられる。筆者はセンサプレートをMOSFETのゲートに接続せず、ESD耐性を有するセンサ回路を備えた指紋センサLSIを開発した[6]。センサLSIは、センサプレートの寄生容量だけでなくセンサ表面の汚れの影響も除去する自動ピクセルレベルキャリブレーション機能も特徴としている[7]。

バイオメトリクス用のセンサは、検出の条件が異なる様々なユーザによって使用される。図1に示すように、静電容量型指紋センサLSIによって取得された画像の品質は、指の表面状態に依存する[8]。乾燥した指の画質は、通常の指と比較して低下する。

画質の低下は、乾燥した指の表面抵抗として検出対象の容量 C_f に対して直列に接続された寄生抵抗が増大することによって起こり、指紋によるユーザ識別において問題となる[9]。様々な指の表面状態に対して、指紋画像のコントラストは、オンチップ画像処理方法によって向上させることはできる[10-11]。一方で、指が極端に乾燥して指の表面抵抗が高く、画像処理が不十分となる場合、画質の低下によって識別システムが登録ユーザを拒否してしまう可能性がある。

この課題を解決するために、筆者は容量センシングを高感度化するCMOS-MEMSインターフェースの寄生素子補償回路技術として、被検体において寄生の直列抵抗の影響を受けない表面形状認識手法を提案する。4.2節では、表面形状としての指紋画像の画質低下のメカニズムと提案した回路技術の原理について説明する。4.3節では、この手法に基づく容量検出の感度について説明する。4.4節で、作製したテストチップの実験結果を示し、画質を向上させる手法の有効性を評価する。

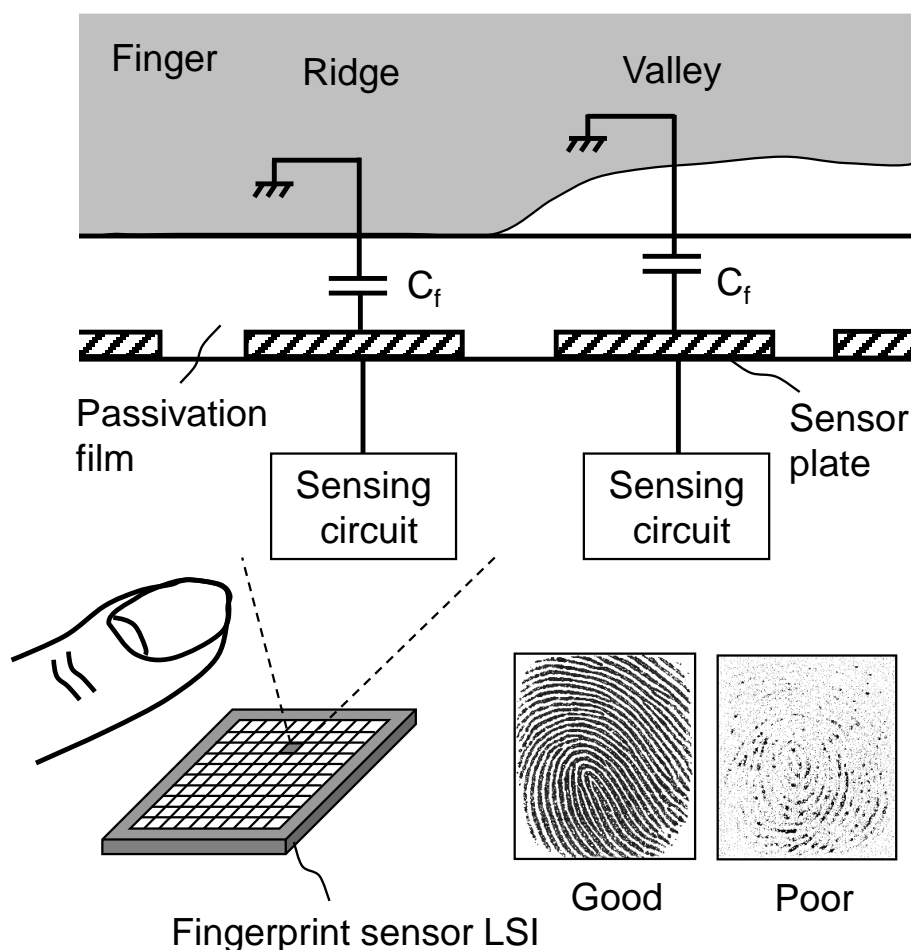


図1 静電容量型指紋センサLSIと取得画像の課題

4.2 表面形状認識手法の原理

4.2.1 画質の劣化

指紋画像取得において、検出対象の指が乾燥すると画質が低下する。劣化のメカニズムについて、図2に示すセンサ回路が検出する指の等価回路モデルを用いて説明する。指のモデルは、検出対象の静電容量 C_f と指の表面の抵抗 R_f の直列接続により与えられる。センサ回路は電流源とプリチャージ用スイッチを備えている。 C_f はプリチャージ動作後に電流源によって引き抜かれる電荷 ΔQ_s によるセンサプレートの電圧変化 ΔV_s に基づいて検出される。電流源が ΔQ_s を引き抜くと、抵抗 R_f を流れる電荷 ΔQ_r によりノードNfに電圧降下が発生する。この事象は、 C_f の検出に用いられるセンサプレートの電圧 V_s に影響を与える。

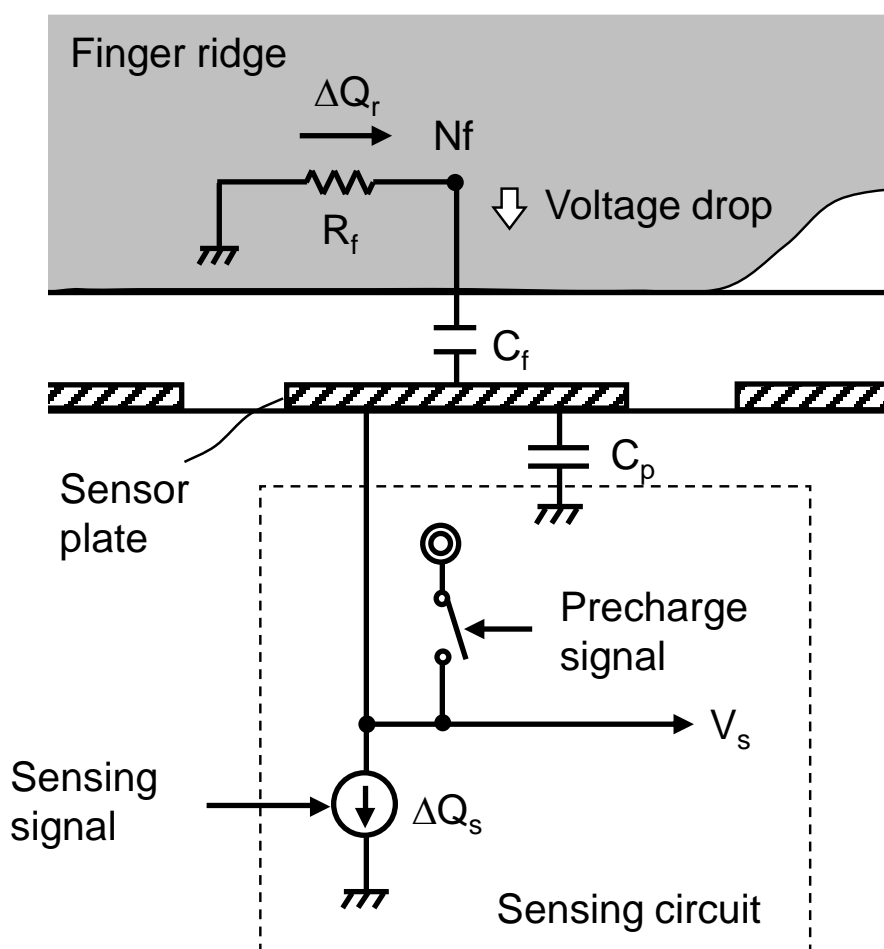


図2 画質低下メカニズムの説明のための指とセンサ回路の等価回路モデル

画質低下のメカニズムを説明するために、図3に示す波形を用いて R_f によるセンシング動作の違いを示す。図3(a)に、抵抗 R_f がゼロでノードNfが接地されている場合を示した。最初に、センサプレートは t_0 から t_1 までの期間においてスイッチを通してプリチャージされる。プリチャージ時間は、 C_f と C_p を充電するのに十分な期間に設定する。検出信号が t_1 で遷移すると、電流源はプリチャージ時間に比べて短い t_1 から t_2 までの期間に電荷 ΔQ_s を引き抜く。これにより、検出対象の容量 C_f に依存したセンサプレート電圧 ΔV_s の変化が生じる。電圧変化 ΔV_s は次の式で与えられる。

$$\Delta V_s = \frac{\Delta Q_s}{C_f + C_p} \quad (1)$$

ここで C_p はセンサプレートの寄生容量である。式(1)から、 C_f が小さいほど電荷はセンサプレートから引き抜きやすくなるため、 C_f が大きい場合よりも ΔV_s は大きくなることが分かる。指の谷線はセンサ表面に接触しないため、谷線での容量は隆線での容量よりも小さい。したがって、谷線でのセンサプレート電圧 V_s は、隆線のセンサプレート電圧よりも小さくなる。

R_f が大きい場合のセンシング動作について図3(b)を用いて説明する。隆線の場合、Nfの電位は t_1 から t_2 に低下し、 C_f が大きい場合でも ΔV_s が増加する。一方、谷線の場合、Nfの電位変化は小さい。これは、 C_f が C_p よりも小さく、 C_p からの電荷が増加すると、 R_f を通して流れる電荷 ΔQ_r が減少するため、谷線に対して ΔQ_r が小さくなることを意味する。これにより、 ΔV_s について隆線と谷線との間の差が小さくなる。抵抗 R_f を考慮すると、 R_f での電流が t_1 から t_2 まで一定とする近似を用いることにより、 ΔV_s は次のように表される。

$$\Delta V_s = \frac{\Delta Q_s}{C_f + C_p} + R_f \frac{\Delta Q_r}{t_s} \quad (2)$$

ここで、 $t_s = t_2 - t_1$ である。 R_f に流れる電荷 ΔQ_r は、検出対象の容量 C_f と寄生容量 C_p の比率により次式のように近似される。

$$\Delta Q_r = \frac{C_f}{C_f + C_p} \Delta Q_s \quad (3)$$

式(2-3)を用いることにより、 ΔV_s は次のように表わされる。

$$\Delta V_s = \frac{\Delta Q_s}{C_f + C_p} \left(1 + \frac{C_f R_f}{t_s} \right) \quad (4)$$

センサ回路は、 R_f による電圧降下が生じた場合でも、電荷 ΔQ_s に対する電圧変化 ΔV_s を用いることにより、実効容量 C_{eff} として検出対象の容量を検出する。 C_{eff} は次のように表される。

$$C_{\text{eff}} = \frac{\Delta Q_s}{\Delta V_s} \quad (5)$$

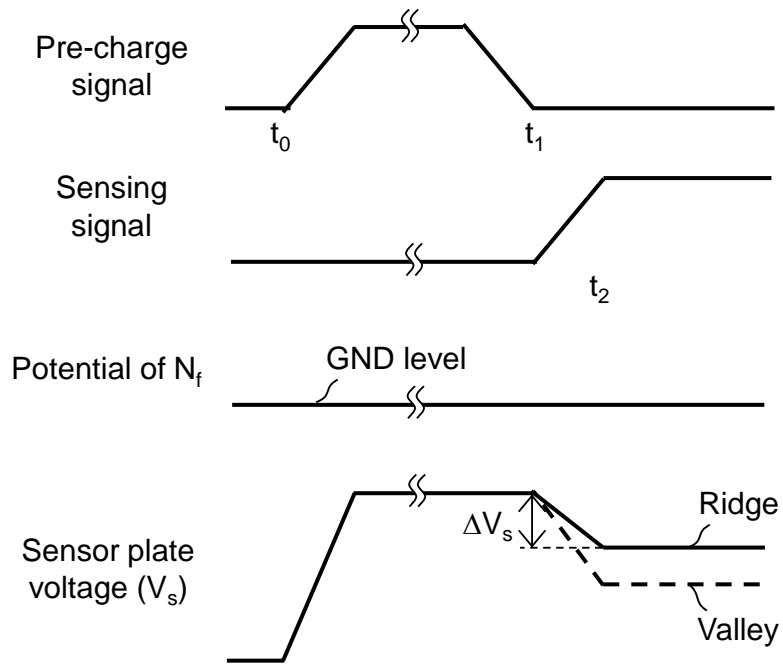
式(4)と(5)から、 R_f が大きい時の C_{eff} は次式で与えられる。

$$C_{\text{eff}} = \frac{C_f + C_p}{1 + A} \quad (6)$$

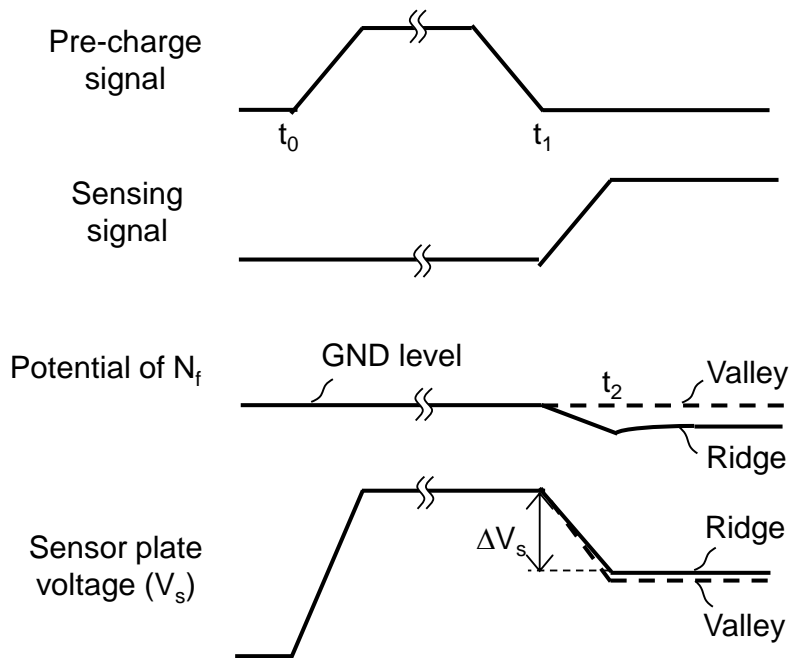
ここで、 A は $C_f R_f / t_s$ である。 R_f が大きくなると、 C_{eff} は $C_f + C_p$ よりも小さくなる。その結果、隆線における検出対象の容量 C_f が小さく見え、取得画像のコントラストが低下する。このように、画質の劣化は、人によって異なる指の表面抵抗 R_f に起因して発生する。乾燥指の R_f は通常の指よりも高いため、乾燥指の場合の画質は低下する。式(6)は、 t_s を大きくすると C_{eff} が大きくなることも示している。乾燥指の R_f は通常の指の約 10^3 倍であり、 t_s を制御する方法を用いると乾燥指での検出時間が長くなる。

4.2.2 容量センサ回路

R_f の電圧降下による影響を抑制し、隆線と谷線との間のコントラストを向上させるために、容量検出のための回路手法を提案した。提案手法が採用した電圧降下抑制の概念について図4を用いて説明する。センサプレートの隣に配置されるエンハンスメントプレートと、この電極に接続された電圧制御回路でエンハンスメント回路を構成した。エンハンスメントプレートを伴う等価回路モデルにより提案手法の原理について述べる。指の皮膚は表面の表皮とその内側の真皮の2層を有し、表皮のインピーダンスが真皮よりも高いことが一般的に知られている。この回路モデルは、表皮の層が絶縁体として作用し、真皮の層が導体として機能するという仮定に基づく。この仮定の下では、エンハンスメントプレートに形成された容量 C_c は、等価回路のノードNfに接続される。電圧制御回路は、容量 C_c を用いて電荷 ΔQ_c を生成する。 ΔQ_c によって生成される電流は、ノードNfにおいて ΔQ_s による電流とは逆方向であり、これにより R_f における ΔQ_r が流



(a)



(b)

図3 R_f による画質低下によるセンシング動作の違い
 (a) $R_f=0$ の場合 (b) R_f が大きい場合

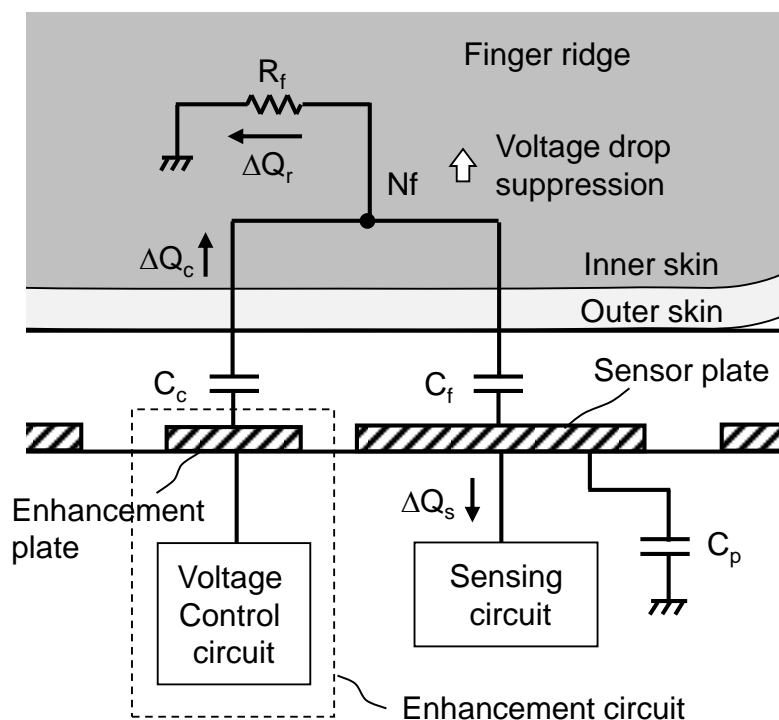


図4 提案した容量センシング回路技術の概念

れる方向を変化させることでNfにおける電圧の降下を抑制する。このように、電圧制御回路は、エンハンスメントプレートに形成される容量を介して指の電位を上昇させる。これにより、指が乾燥している時の容量センシングの感度を向上できる。指の表面抵抗に逆方向電流を生成するというコンセプトは、検出対象の容量に対する感度が直列接続の寄生抵抗により劣化するセンサに有効である。

4.3 寄生直列抵抗の電圧降下抑制によるセンシング感度向上

電圧降下抑制を利用して感度を高める回路技術を実装するために用いたセンサ回路を図5に示す。エンハンスメント回路は、ランプ信号を生成する電圧制御回路を有する。センシング動作を開始する検出信号は、センサ回路の電流源と電圧制御回路に入力される。電流源は、センサプレートにランプ信号 V_s を生成する。電圧制御回路は、 V_s のランプ信号を反転した波形でエンハンスメントプレートの電圧 V_e を制御する。エンハンスメントプレートの追加により、ピクセルサイズが大きくならないようにセンサプレートの面積は縮小される。そのため、検出対象の容量は C_f よりも小さい C_f' になり、寄生容量は C_p よりも小さい C_p' となる。

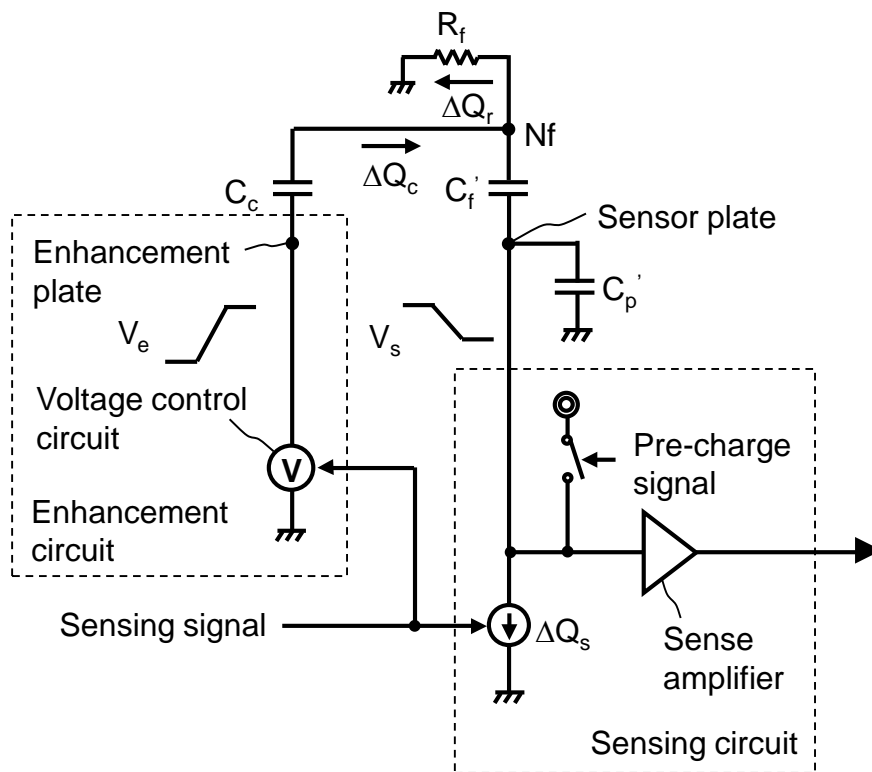


図5 提案したセンサ回路のアーキテクチャ

感度を向上させる動作について図6を用いて説明する。この場合では、指の抵抗 R_f が大きい状態とする。プリチャージ後、 t_1 でセンシング信号がロー状態からハイ状態に変化すると、電圧制御回路により、エンハンスメントプレートの電圧が接地レベルから最大制御電圧 V_{cmax} まで上昇する。これによりエンハンスメントプレートから指(ノードNf)に流れる電荷 ΔQ_c が生成され、 ΔQ_r が流れる方向を変えることによってNfにおける電圧降下を抑制することができる。この時、指の隆線に対してはNfの電位を増加させる。谷線の場合は、谷線の容量 C_f' が小さいため、Nfの電位の変化は小さく、センサプレートの寄生容量 C_p' からの電荷の増加により、 ΔQ_r は小さくなる。エンハンスメントプレートと指との間の容量 C_c は、検出対象の容量 C_f' からの電荷 ΔQ_s と直列抵抗 R_f からの電荷 ΔQ_r を引き抜く。この関係から、エンハンスメントプレートからの電荷 ΔQ_c は次のように表される。

$$\Delta Q_c = \Delta Q_s + \Delta Q_r \quad (7)$$

式(2)における ΔQ_r とは逆方向に流れる ΔQ_s を用いることにより、 R_f に流れる電流が一定であるという近似の下でセンサプレート電圧変化 ΔV_s が得られる。

$$\Delta V_s = \frac{\Delta Q_s}{C_f' + C_p'} - R_f \frac{\Delta Q_r}{t_s} \quad (8)$$

容量 C_c によって引き抜かれる電荷 ΔQ_c は、次式のように表される。

$$\Delta Q_c = C_c V_{cmax} \quad (9)$$

容量 C_c は、 C_f' により次のように定義する。

$$C_c = \alpha C_f' \quad (10)$$

ここで、係数 α は、センサプレートの面積に対するエンハンスメントプレートの面積比率である。式(7-10)を用いることにより、次式のように ΔV_s が得られる。

$$\Delta V_s = \frac{\Delta Q_s}{C_f' + C_p'} \left[1 - \frac{C_f' R_f}{t_s} \left\{ \frac{\alpha (C_f' + C_p') V_{cmax}}{\Delta Q_s} - 1 \right\} \right] \quad (11)$$

式(11)は、 α と V_{cmax} を設定することにより $\{\alpha (C_f' + C_p') V_{cmax}\}$ の項を ΔQ_s より大きくできれば、 R_f による電圧降下を防ぐことができることを示している。このことはNfの電位を上げることで、隆線に対しては時刻 t_2 におけるセンサプレート電圧 V_s を大きくでき、谷線に対してはNfにおける電圧降下に対する R_f への影響が小さいために V_s の変化が小さいという図6で示す状態に対応している。式(5)と式(11)から、実効容量 C_{eff} は次の式で与えられる。

$$C_{eff} = \frac{C_f' + C_p'}{1 - B} \quad (12)$$

ここで、Bは $A\{\alpha (C_f' + C_p') V_{cmax} / \Delta Q_s - 1\}$ である。式(12)から、 α と V_{cmax} を選ぶことによってBを大きくすることにより、電圧降下抑制による感度向上により容量 C_f が実効的に大きく見えるようにできることが分かる。

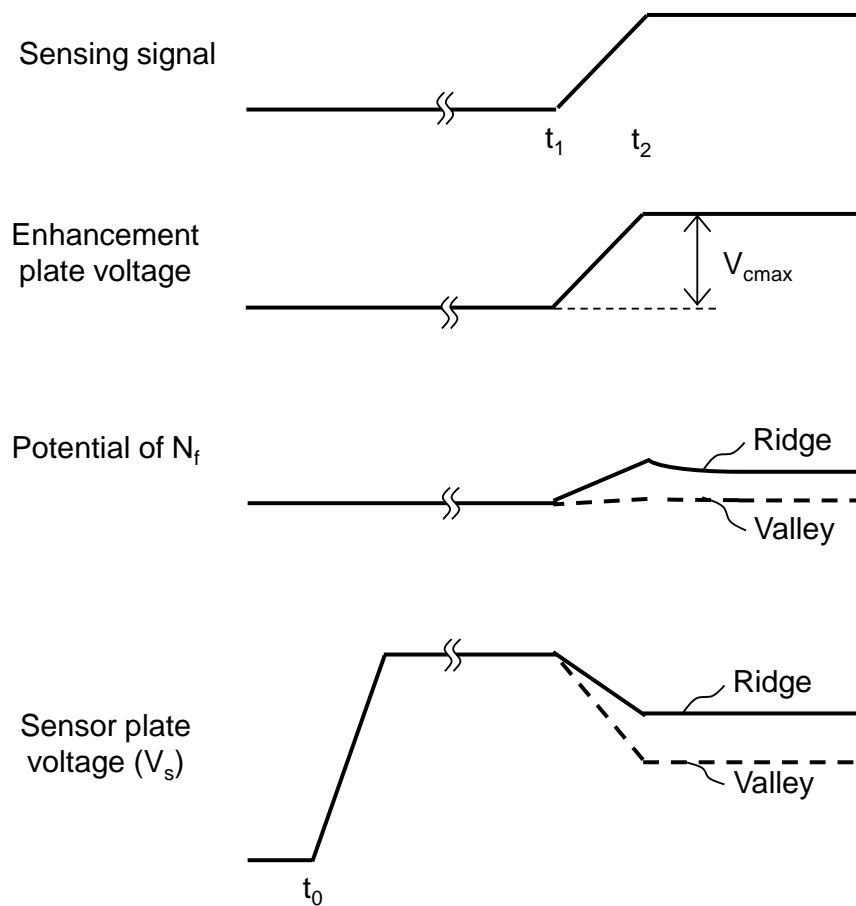
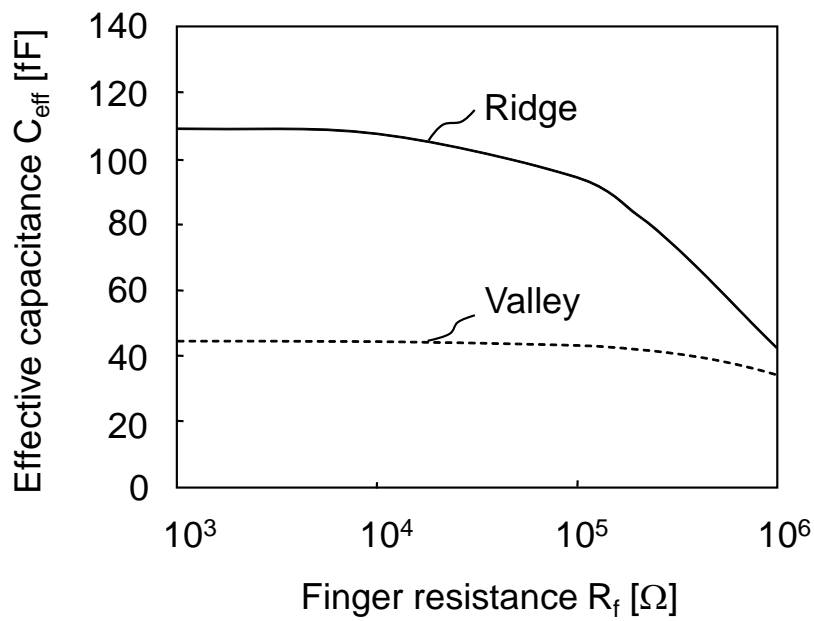
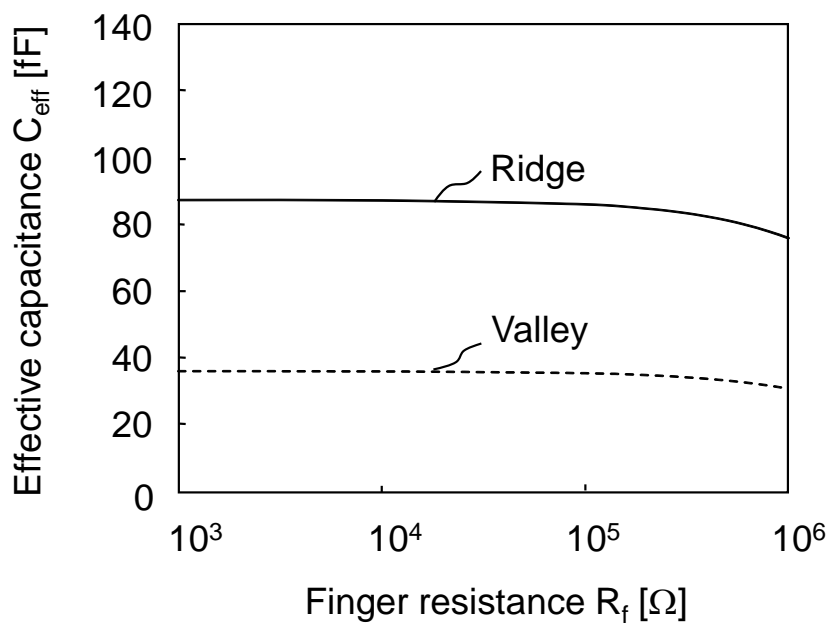


図6 乾燥指に対する電圧降下抑制による感度向上を示す動作波形

この手法の有効性について、式(6)と式(12)を用いて推定する。実効容量と指抵抗の関係を図7に示す。図7(a)は、従来の回路における隆線と谷線との違いを示している。この計算では、検出対象の容量 C_f の値は、隆線と谷線に対して80 fF、15 fFとした。センサプレートの寄生容量 C_p は30 fFとし、 t_s 、 α 、 ΔQ_s の値は5 ns、0.2、66 fCとした。計算結果は、指の抵抗 R_f が大きくなると、隆線の C_{eff} が減少することを示している。提案手法に対して推定した結果を図7(b)に示す。検出対象の容量 C_f' と寄生容量 C_p' は、 $C_f' = (1 - \alpha) C_f$ 、 $C_p' = (1 - \alpha) C_p$ の関係から得られる。提案手法に基づくセンサプレートの面積は、提案手法を使用しない場合よりも小さくなるため、指の抵抗が $10^4 \Omega$ よりも小さい領域においては隆線と谷線ともに実効容量が減少する。一方、指の抵抗が $10^4 \Omega$ よりも大きい領域において、隆線の C_{eff} は、 R_f が大きくなっても低下が抑制される。この結果から、 R_f は通常の指では $10^4 \Omega$ 未満、極めて乾燥した指では $10^6 \Omega$ と推定される。このように、指の抵抗が大きい場合でも、隆線と谷線における C_{eff} の差を大きくでき、乾燥指における指紋画像のコントラストを向上できる。



(a)



(b)

図7 実効容量と指抵抗の関係
(a)従来回路、(b)提案手法に基づく回路。

4.4 実験結果

4.4.1 テストチップ

回路手法の効果を評価するために、図8に示すエンハンスメント回路を備えたセンサ回路をテストチップに実装した。筆者が開発した指紋センサLSIは、金めっきを用いたセンサプロセスによって製造されたGND壁構造を各ピクセル(50 μ mピッチ)に備える[12]。GND壁により静電放電に対する耐性を向上させることができ、筆者開発のセンサLSIは、接触放電モデルに基づくテストにおいて ± 20 kVを超えるESD耐性を有する[13]。GND壁により指の表面電位が安定化され、指の表面抵抗を下げる効果も得られる[8]。エンハンスメントプレートの面積は、プレートの総面積が提案手法を用いない場合のセンサプレートの面積を超えないように調整した。センスアンプには電荷転送アンプの差動構成を用いた。容量 C_s は、センシング制御信号によって制御される電流源として作用する。 C_s によって引き抜かれた電荷はランプ電圧を誘導し、センサプレートの C_f に依存した電圧変化 ΔV_s を発生する。 ΔV_s は、センサプレートの寄生容量と容量 C_{DUMMY} の差を用いて電荷転送アンプにより ΔV_o に増幅される[6]。 ΔV_o は、電圧-時間変換回路によってパルス幅に変換される。センサ回路には、可変容量 C_v と C_v 制御回路で構成したキャリブレーション回路を有する。キャリブレーション回路は、電圧-時間変換回路の出力を用いて、センサプレートとセンスアンプのバラツキを除去する[6]。センサ回路出力のパルス幅は、時間-デジタルコンバータにより8 bitのデジタルデータに変換される。筆者のセンサ回路は、センサプレートがMOSFETのゲート端子に接続されないため、ESD耐性が高く、他の容量センシング方式と異なる[1-5]。エンハンスメント回路を備えたセンサ回路は、各ピクセルに配置する必要がある。参照電圧回路を不要化するようにエンハンスメントプレートの最大制御電圧 V_{cmax} は電源電圧とした。エンハンスメント回路の電圧制御回路のインバータは、 V_s を反転した傾きを有する波形を生成する。エンハンスメントプレートの電圧の傾きは、センシング制御信号によって制御されるインバータの駆動力と比較してエンハンスメント回路内のインバータの駆動力を減少させることにより調整される。エンハンスメント回路の面積は小さく、ピクセルサイズは増加しない。

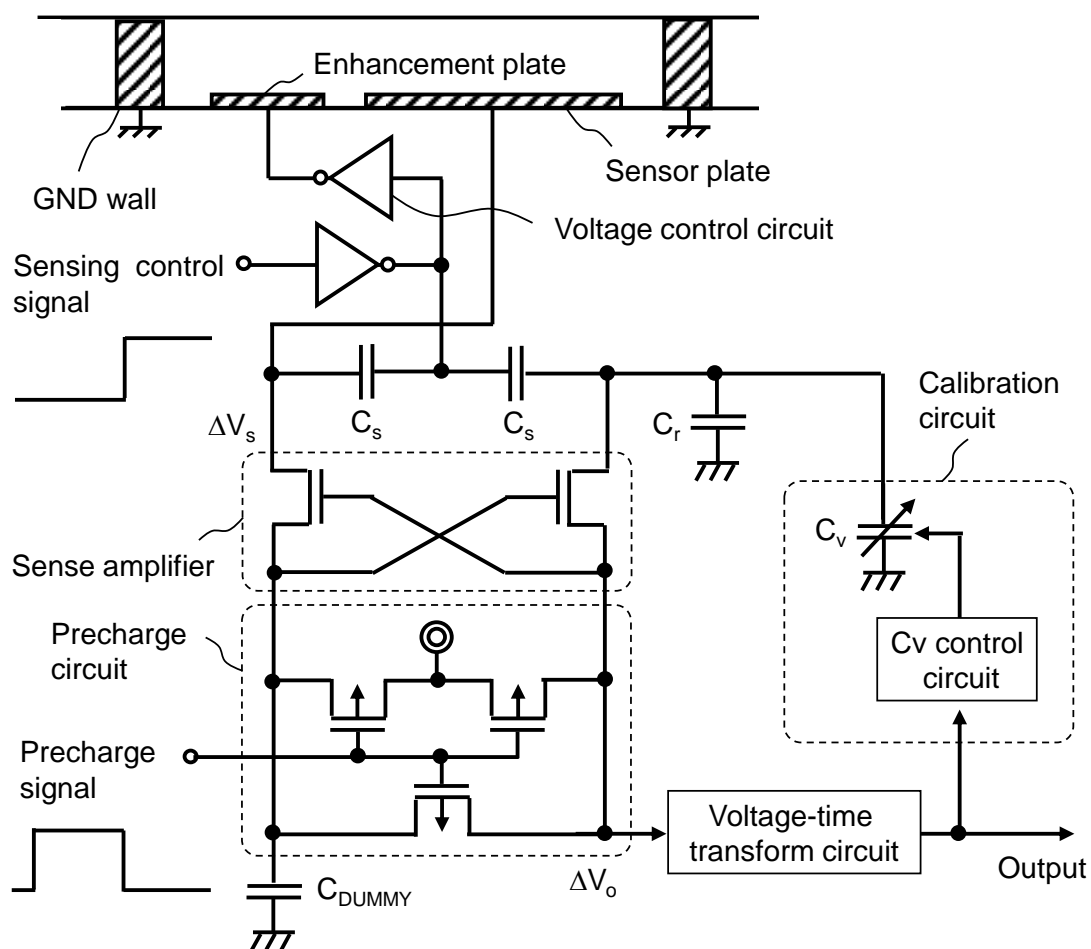


図8 エンハンスメント回路を備えたセンサ回路の構成

テストチップの顕微鏡写真を図9に示す。チップサイズは13 x 16 mm²であり、ピクセルアレイの面積は11.2 x 12.8 mm²である。表1にチップ諸元を示す。チップの作製には、0.5 μ m CMOSプロセスとセンサプロセスを用いた[12]。エンハンスメント回路を含むピクセルサイズは50 μ m角で、密度508 dpiが得られる。電源電圧は3.3 Vであり、センシング動作時の消費電力は25 mWである。

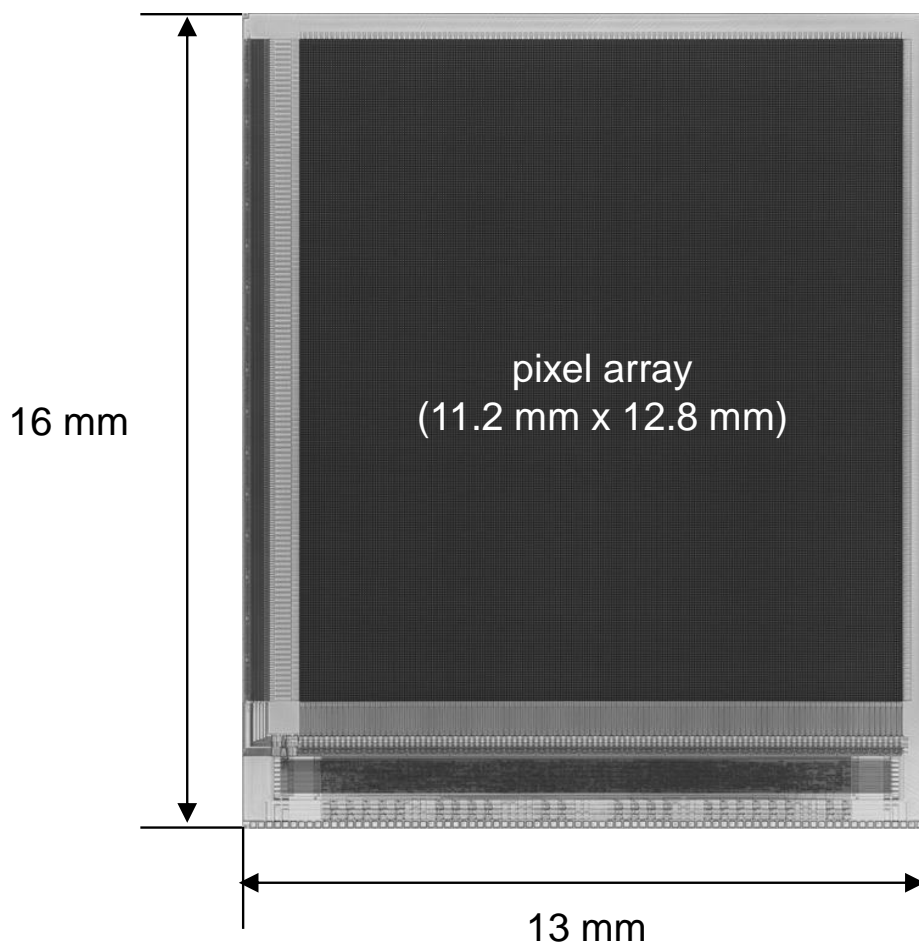


図9 テストチップの顕微鏡写真

4.4.2 センシング特性

提案した回路手法を用いたテストチップによって取得した指紋画像を図10に示す。指の表面状態が異なる3指の画像を取得した。センサのダイナミックレンジは、センサ制御ソフトウェアを伴う時間—デジタル変換器により自動的に調整される[14]。乾燥していない通常の指の場合、画質は両方のチップで同じであり、提案手法が通常の場合の下での画像取得に影響を与えないことが分かる。指の表面が乾燥すると、乾燥の程度によっては、提案手法を用いない場合、クリアな画像を撮ることが困難となる。一方、テストチップでは、極めて乾いた指でもクリアな画像を取得できる。

表1 チップ諸元

Process	0.5- μm CMOS, 3-metal, sensor process
Die size	13 mm x 16 mm
Pixel array area	11.2 mm x 12.8 mm
Pixel size	50 μm x 50 μm (508 dpi)
Number of pixels	57,344 (224 x 256)
Supply voltage	3.3 V
Output data	256-level grayscale
Frame rate	0.3-50 frames per second
Power consumption	25 mW (sensing operation)



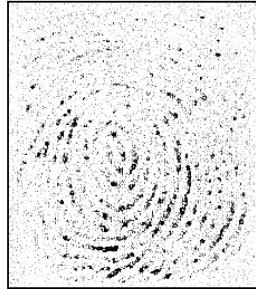



	Normal finger	Dry finger	Ultra-dry finger
w/o the technique			
with the technique			

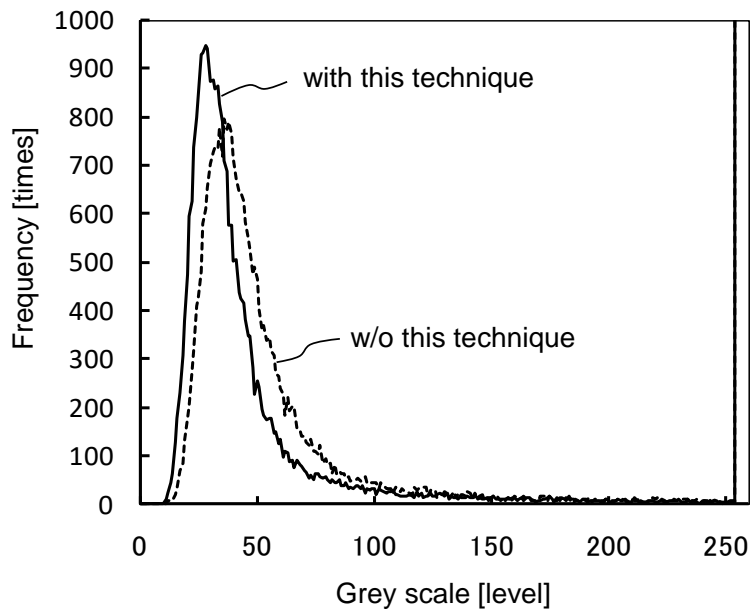
図10 提案手法の効果を示す指紋画像

提案手法の効果を取得画像のヒストグラムで評価した結果について図11に示す。これらのヒストグラムにおいて、x軸は256レベルのグレースケールであり、y軸は同じグレースケールのピクセル数を意味する頻度である。グレースケールの“0”は画像内の黒いピクセルを意味し、“255”は白いピクセルを意味する。提案手法で取得した画像のヒストグラムを実線で示し、破線は提案手法を用いずに取得した画像のヒストグラムを示している。通常の指の場合[図11(a)]では、ヒストグラムは、提案手法の使用の有無によらず、指の隆起に対応するピークを有し、谷線におけるほぼ全てのピクセルの値は255を示すことが分かる。極めて乾燥した指のヒストグラム[図11(b)]については、提案手法を用いずに取得した画像では、グレースケールの分布が低い値の領域(黒)と高い値の領域(白)に分割されており、画像のコントラストが低いことを意味している。低い値の領域のピークは、図10の画像における指紋の隆線の黒いピクセルに対応している。一方、提案手法により取得された画像のヒストグラムでは、ピークは256レベルの中央にあり、通常の指と同じように、コントラストが良いことが分かる。指の抵抗による影響は抑えられているものの、通常の指に比べてピークがブロードとなる理由として、極めて乾燥した指では谷線から隆線までの高さが低いためと考えられる。このように、取得された指紋画像の画質を回路手法によって向上できることが確認された。

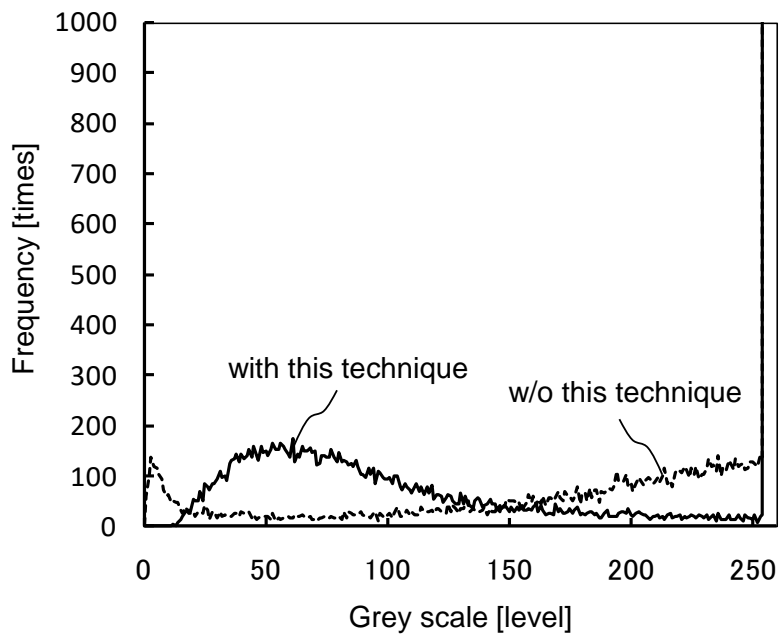
4.5 本章のまとめ

CMOS-MEMSインターフェースの寄生素子補償回路技術において寄生直列抵抗による影響を抑制する表面形状認識手法を提案し、センサプレートに隣接して配置されたエンハンスメント電極と電圧制御回路で構成されるエンハンスメント回路について説明した。センサプレートの電圧を反転させたランプ信号を生成してエンハンスメント電極の電圧を制御することにより、指の表面抵抗による電圧降下を抑制し、容量センシングの感度を向上させることで、指紋の隆線と谷線のコントラストを高めた。

提案回路の有効性を評価するために、 $0.5 \mu\text{m}$ CMOSプロセスとセンサプロセスでテストチップを作製した。電圧制御回路としてインバータを使用し、ピクセルサイズを増加させずにエンハンスメント回路を追加した。テストチップにより乾燥した指でも鮮明な画像を良好なコントラストで取得できた。提案回路を採用することで、指の表面状態に関係なく鮮明な指紋画像の取得が可能となった。



(a)



(b)

図11 乾燥指の取得画像のヒストグラムで示された提案手法の効果
(a)通常の指、(b)極めて乾燥した指。

第 4 章参考文献

- [1] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme," *IEEE J. Solid-State Circuits*, vol. 33, pp. 133-142, 1998.
- [2] J. Lee, D. Min, J. Kim and W. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique," *IEEE J. Solid-State Circuits*, vol. 34, pp. 469-475, 1999.
- [3] S. Jung, R. Thewes, T. Scheither, K. Goser and W. Weber, "A Low-Power and High-Performance CMOS Fingerprint Sensing and Encoding Architecture," *IEEE J. Solid-State Circuits*, vol. 34, pp. 978-984, 1999.
- [4] D. R. Setlak, J. Cornett, B. Kilgore, D. Williams, and D. Gebauer, "Fingerprint sensor with gain control features and associated methods," *United States Patent 6 259 804*, July 10, 2000.
- [5] D. R. Setlak, "Multi-biometric finger sensor having different selectivities and associated methods," *United States Patent 7 361 919*, April 22, 2008.
- [6] H. Morimura, S. Shigematsu, and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprint Sensors," *IEEE J. Solid-State Circuits*, vol. 35, pp. 724-731, 2000.
- [7] H. Morimura, S. Shigematsu, T. Shimamura, K. Machida, H. Kyuragi, "A Pixel-Level Automatic Calibration Circuit Scheme for Capacitive Fingerprint Sensor LSIs," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1300-1306, 2002.
- [8] H. Morimura, S. Shigematsu, T. Shimamura, N. Sato, K. Machida, H. Kyuragi, "Evaluation of Sensitivity on a Capacitive Fingerprint Sensor LSI with a Grounded Wall Structure," *J. J. Applied Physics*, vol. 41, pp. 2316-2321, 2002.
- [9] C. R. Blomeke, S. K. Modi and S. J. Elliott, "Investigating the relationship between fingerprint image quality and skin characteristics," *proc. of ICCST 2008*, pp. 158-161, 2008.
- [10] S. Shigematsu, K. Fujii, H. Morimura, T. Hatano, M. Nakanishi, N. Ikeda, T. Shimamura, K. Machida, Y. Okazaki and H. Kyuragi, "Fingerprint Image Enhancement and Rotation Schemes for a Single-Chip Fingerprint Sensor and Identifier," *IEICE trans. on electronics*, vol. E89-C, pp.540-550, 2006.
- [11] S. Kim, K Lee, S. Han and E. Yoon, "A CMOS Fingerprint System-on-a-Chip With Adaptable Pixel Networks and Column-Parallel Processors for Image Enhancement and Recognition," *IEEE J. Solid-State Circuits*, vol. 43, pp. 2558-2567, 2008.

- [12] K. Machida, S. Shigematsu, H. Morimura, Y. Tanabe, N. Sato, N. Shimoyama, T. Kumazaki, K. Kudou, M. Yano, and H. Kyuragi, "A Novel Semiconductor Capacitive Sensor for a Single-Chip Fingerprint Sensor/Identifier LSI," IEEE Trans. Electron Devices, vol. 48, pp. 2273–2278, 2001.
- [13] S. Shigematsu, Y. Tanabe, N. Shimoyama, H. Morimura, Y. Okazaki and K. Machida, "Effect of Ground-wall Structure in a Capacitive Fingerprint Sensor on Electrostatic Discharge Tolerance," J. J. Applied Physics vol. 44, pp.2982–2986, 2005.
- [14] H. Morimura, S. Shigematsu, T. Shimamura, K. Fujii, C. Yamaguchi, H. Suto, Y. Okazaki, K. Machida and H. Kyuragi, "An Adaptive Fingerprint-Sensing Scheme for a User Authentication System with a Fingerprint Sensor LSI," IEICE trans. on electronics, vol.E87-C, pp.791–800, 2004.

第5章

寄生並列抵抗を伴う被検体容量の周波数特性計測手法

5.1 はじめに

インピーダンスの測定技術は、RF技術の開発に用いられてきた。環境モニタリングやデオキシリボ核酸(Deoxyribonucleic acid:DNA)分析においては、インピーダンスを測定することによって電気化学反応が観測されている。他の応用として、人間の血液[1]、心拍数[2]、金属腐食[3]、ゴムの劣化[4]、および食品の鮮度[5]の監視にインピーダンス検出が用いられる。インピーダンス検出デバイスを小型化できれば、生体内の健康状態の監視や車両の部品レベルの故障検出といった応用分野が拡大することが想定される。指紋センサを使用したユーザ認証の場合、インピーダンス検出は、偽造指を用いたなりすましを検出するためのソリューションとなる。指紋センサにインピーダンス検出機能を付加する場合、インピーダンス検出回路の面積は指紋センサ回路と同じくらい小さくすることが求められる。従来のインピーダンス検出回路([6]など)(図2)では、交流(AC)信号の振幅と位相の検出に基づいてインピーダンスが検出される。電極間に形成される検出対象のインピーダンス Z に正弦波の電圧 V_z が印加される。 Z を流れる電流 I_z は、電流-電圧(I-V)変換器によって電圧信号に変換される。その出力から、ダイオードを備えたピーク検出器により、 I_z の振幅が検出される。また、ミキサによりI-V変換器の出力に正弦波発生器の出力が乗算され、ローパスフィルタにより I_z の位相が得られる。この構成では、正弦波発生器、ローパスフィルタ、およびI-V変換器の面積に抵抗素子と容量素子を割り当てる必要がある。例えば、I-V変換器の抵抗値は、 $k\Omega$ から $M\Omega$ のレベルの範囲となる。このような値の抵抗素子はサブミリサイズの面積となり、チップサイズに対して大きな領域を占める。このため、インピーダンス検出機能を指紋センサチップに集積化することは困難となる。

本章では、指のインピーダンスを検出対象の容量に寄生の並列抵抗が形成された等価回路として扱い、容量センシングを高感度化させるCMOS-MEMSインターフェースの寄生素子補償回路技術として、並列抵抗が小さい場合でも容量の周波数特性を計測する手法を提案し、抵抗素子不要のインピーダンス検出回路技術について説明する。5.2節では、従来のインピーダンス検出回路の問題点を解決するために提案した回路について述べる。5.3節では、提案回路により検出可能な範囲と感度について説明し、5.4節では提案回路を搭載したテストチップの実験結果を示し、インピーダンス検出特性について述べる。

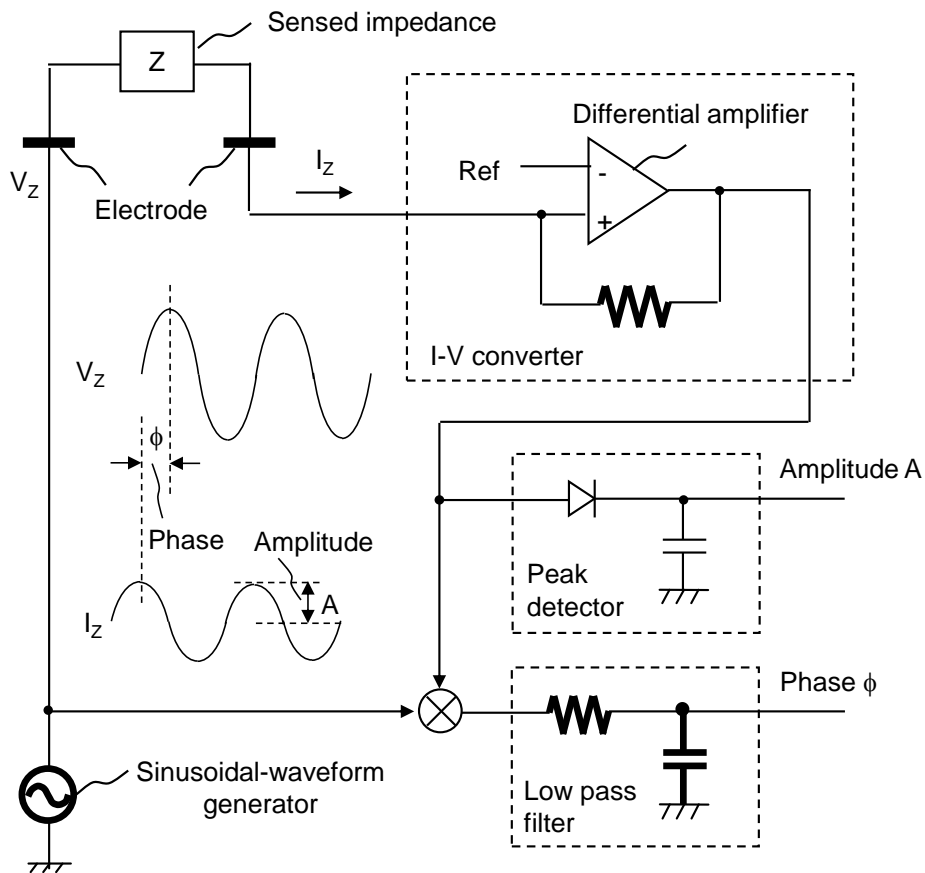


図1 従来のインピーダンス検出回路の構成

5.2 寄生並列抵抗の補償機能を有する小型インピーダンス検出回路

小型化のために抵抗素子を使用せず、寄生並列抵抗の影響を補償する機能を有するインピーダンス検出回路を提案した。回路構成を図2に示す。この回路には、三角波発生器、単位利得バッファ(Unity gain buffer:UGB)、閾値回路、および位相／振幅検出回路を備える。三角波発生器は、小型の容量素子における充電と放電に基づいており、これにより、正弦波発生器で用いられる抵抗素子が不要となる。UGBは差動アンプとドライバ回路で構成し、ドライバ回路としてインバータを用い、インバータ出力を差動アンプにフィードバックすることで、寄生並列抵抗 R_f に流れる電流を安定化させる。電流 I_f は、UGBにおいてドライバ回路の出力抵抗により電圧信号に変換される。これにより、抵抗素子が不要となる。閾値回路は、差動アンプの出力と入力信号をパルス幅変調(Pulse Width Modulation:PWM)信号に変換する。閾値回路には、シュミットトリガ回路が用いられる。これらの回路は、応答信号と参照信号を生成する。位

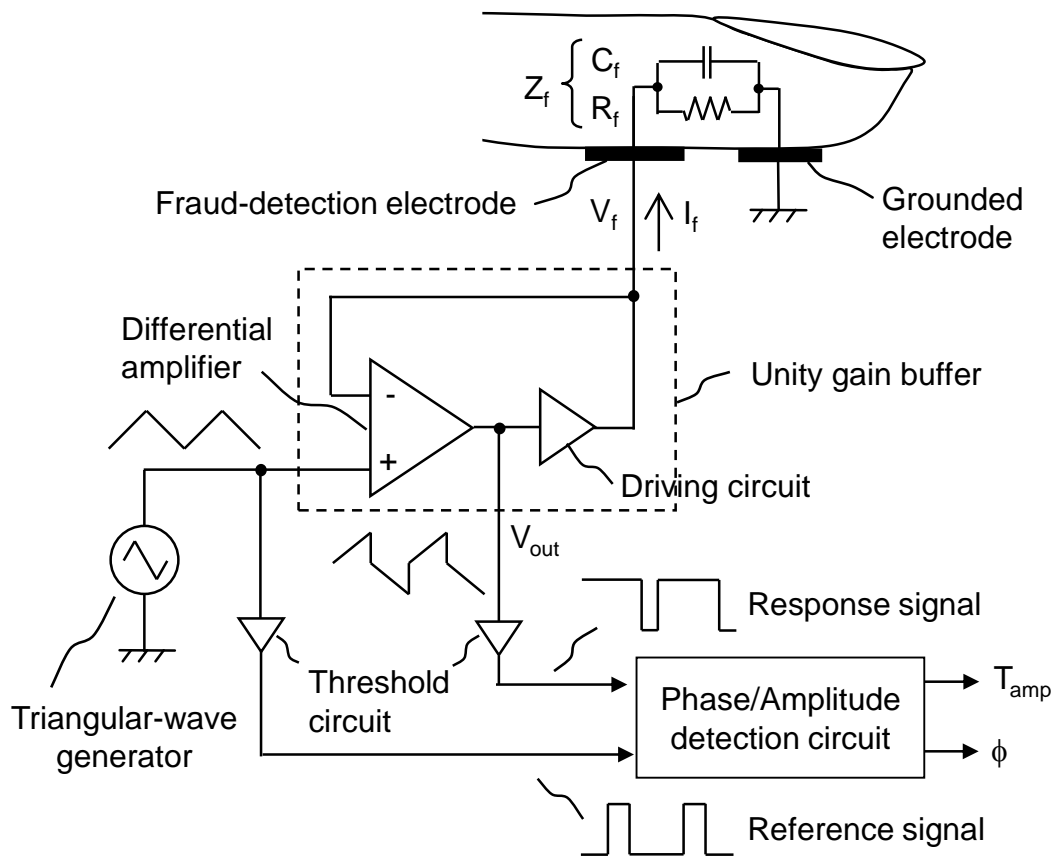


図2 提案したインピーダンス検出回路

相／振幅検出回路は、振幅と位相の情報を出力する。振幅情報は応答信号により得られる。位相情報は、応答信号と参照信号との比較により得られる。位相／振幅検出回路は、論理ゲートとフリップフロップで構成され、ローパスフィルタを使用しない。このように、提案したインピーダンス検出回路は抵抗素子を不要化できる。UGBによって行われる電流から電圧への変換について次に説明する。不正検出電極と接地(GND)電極の間に形成される検出対象のインピーダンス Z_f は、抵抗素子 R_f と容量素子 C_f が並列接続された等価回路で表される。三角波形の電圧は、UGBを通して不正検出電極に印加される。電極の電圧 V_f は差動アンプにフィードバックされる。アンプはドライバ回路によって V_f を安定化させるために、出力電圧 V_{out} を変更する。すなわち、 V_{out} は指を流れる電流 I_f に応じて変化する。この動作は、電流 I_f が電圧 V_{out} に変換されることを意味する。

位相と振幅を検出する方法を図3の波形を用いて説明する。参照信号は、三角波の電圧 V_f を閾値電圧 V_{th1} と比較することにより得られる。差動アンプの出力 V_{out} を V_{th2}

と比較することにより、応答信号が得られる。閾値動作において、 V_{th1} は三角波と交差するように設定され、 V_{th2} は V_{out} の傾き部分と交差するように設定される。電流 I_f の位相 ϕ は、応答信号と参照信号におけるハイ状態の期間の中心のタイミングで比較することによって検出される。パルスの中心を比較するために、位相／振幅検出回路は、立ち上がり時間 T_r と立ち下がり時間 T_f の違いを検出する。位相 ϕ は $\phi = (T_r - T_f) / 2$ として得られる。電流 I_f の振幅は、応答信号におけるハイ状態の期間 T_{amp} によって検出される。これらの時間を測定することで、位相と振幅の情報を取得できる。

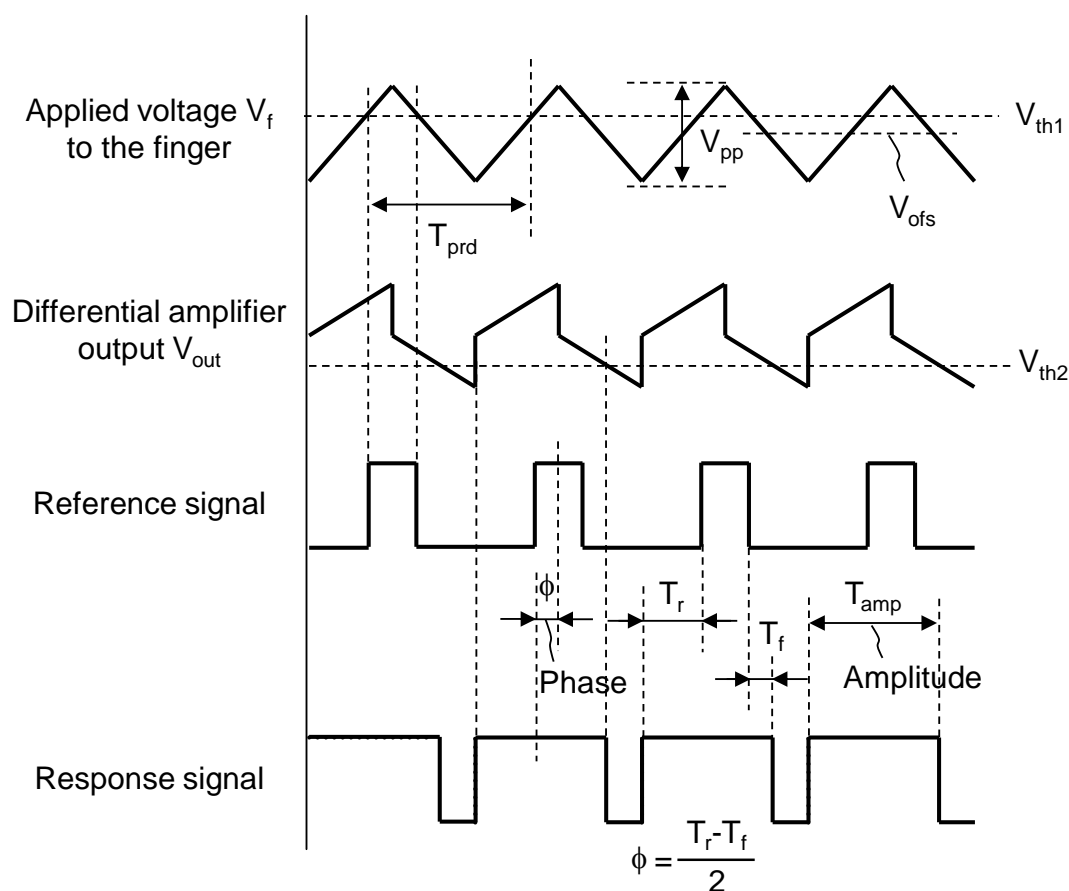


図3 位相／振幅検出動作の波形

5.3 検出可能範囲と感度

インピーダンス検出回路は、様々な人の指を本物の指として認識するために検出可能なインピーダンスについて十分な範囲が確保されている必要がある。指のインピーダンスをミリメートルサイズの不正検出電極で調べたところ、抵抗成分は5～500 k Ω 、容量成分は2～100 pFであった。インピーダンス検出回路は、この範囲のインピーダ

ンスを検出できる必要がある。このため、生体インピーダンスを検出するための2つの電極の一方を接地電位としてUGBにより指に流れる電流を指に印加する電圧にフィードバックする回路構成としている。UGBには、小さい R_f の検出と小さい C_f の検出との間にトレードオフがある。検出可能なインピーダンスの範囲と感度に対するUGBの設計指針について説明する。位相 ϕ と振幅 T_{amp} に対する数式を導出する。差動アンプの出力信号は、三角波形の電圧 V_f と、指を流れる電流 I_f が変換された電圧が加算された電圧信号であり、次式のように表される。

$$V_{out} = V_f + R_{UGB}I_f \quad (1)$$

第2項は、電流から電圧への変換を意味しており、 I_f はUGBの出力抵抗 R_{UGB} で変換される。簡略化のために指の容量 C_f を無視すると、パルス幅 T_{amp} は次式で与えられる。

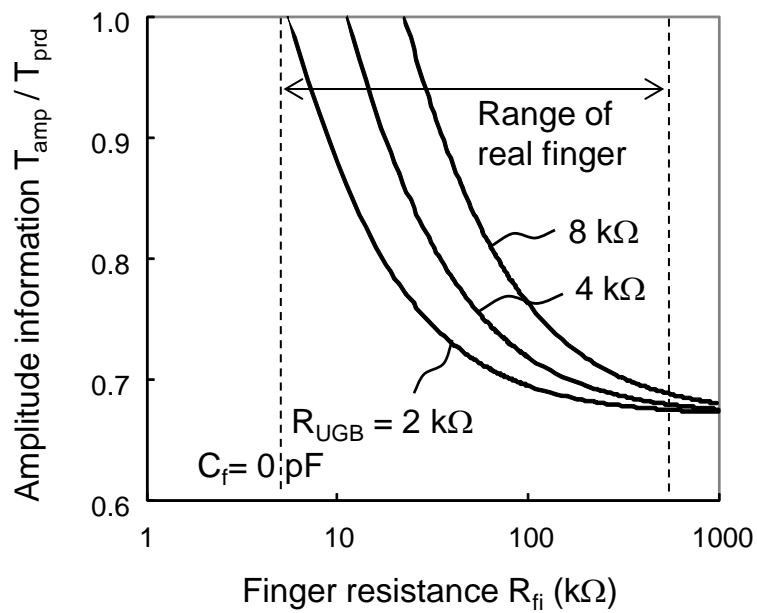
$$\frac{T_{amp}}{T_{prd}} = \frac{1}{2} + \frac{V_{ofs}}{V_{pp}} - \frac{V_{th2}}{V_{pp}} \frac{1}{1 + R_{UGB}/R_f} \quad (2)$$

この式では、 T_{amp} を三角波の周期 T_{prd} で正規化している。 V_{pp} と V_{ofs} は、 V_f の三角波の振幅 (peak-to-peak) およびオフセット電圧である (図3を参照)。この回路は、 $0 < (T_{amp}/T_{prd}) < 1$ の条件で I_f の振幅を検出する。式(2)は、 R_f が R_{UGB} に近い条件において、指の抵抗 R_f の検出が困難になることを示している。小さい R_f を検出するには、 R_{UGB} を小さくする必要がある。典型的な R_f の値を伴う指の容量 C_f に対する位相 ϕ は次の式で与えられる。

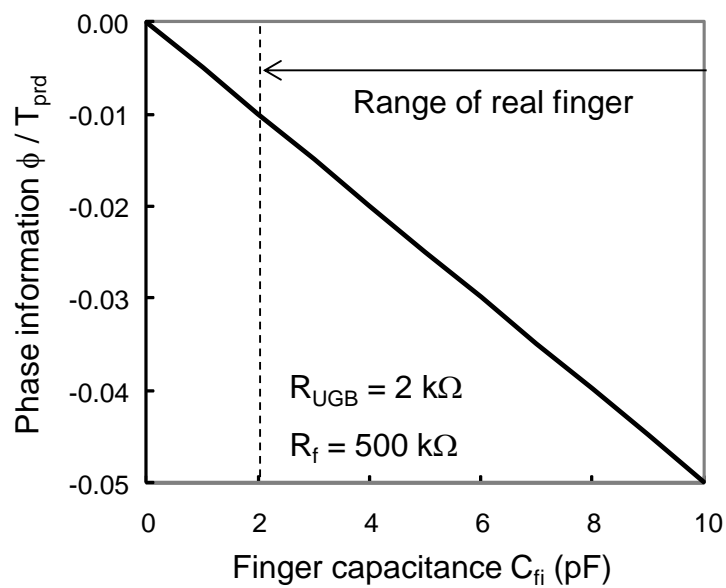
$$\phi = \frac{C_f}{1/R_{UGB} + 1/R_f} \quad (3)$$

式(2)と式(3)の導出についての説明は付録に付す。式(3)から、 R_{UGB} が小さくなると ϕ は小さくなる。 R_{UGB} が大きい場合、 ϕ の検出はより容易になる。すなわち、小さい R_f と小さい C_f の検出にはトレードオフがあることを示している。

式(2)と式(3)を用いて、様々な人の指に対して設定される R_{UGB} の値について説明する。インピーダンス Z_f の検出可能な範囲は図4に示すように計算される。振幅情報 T_{amp}/T_{prd} と R_f の関係について図4(a)を用いて説明する。この計算において、三角波の振幅 V_{pp} とオフセット電圧 V_{ofs} は1.2 および1.7 V、閾値電圧 V_{th2} は1.5 Vである。 R_{UGB} の値は2、4、8 k Ω である。パルス幅 T_{amp} は、 T_{prd} で正規化された値が0と1の範



(a)



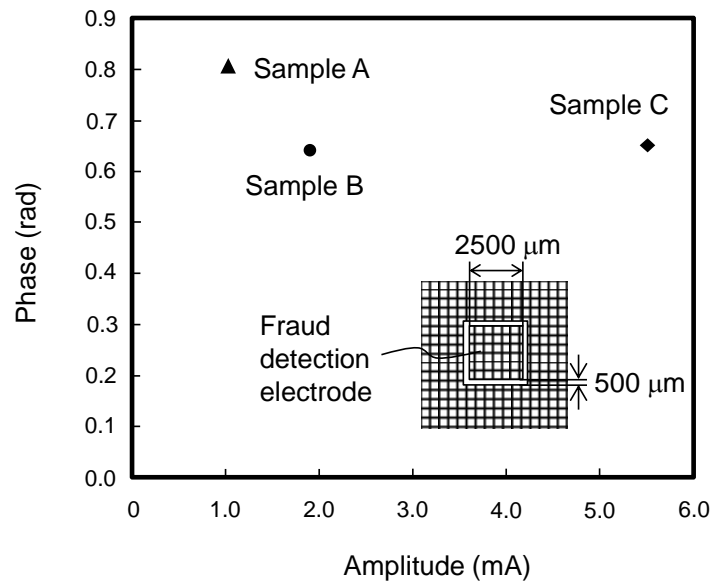
(b)

図4 計算された検出可能なインピーダンスの範囲
 (a) $C_{\text{f}} = 0$ の条件における検出可能な抵抗の範囲
 (b) $R_{\text{f}} = 500 \text{ k}\Omega$ の条件における検出可能な容量の範囲

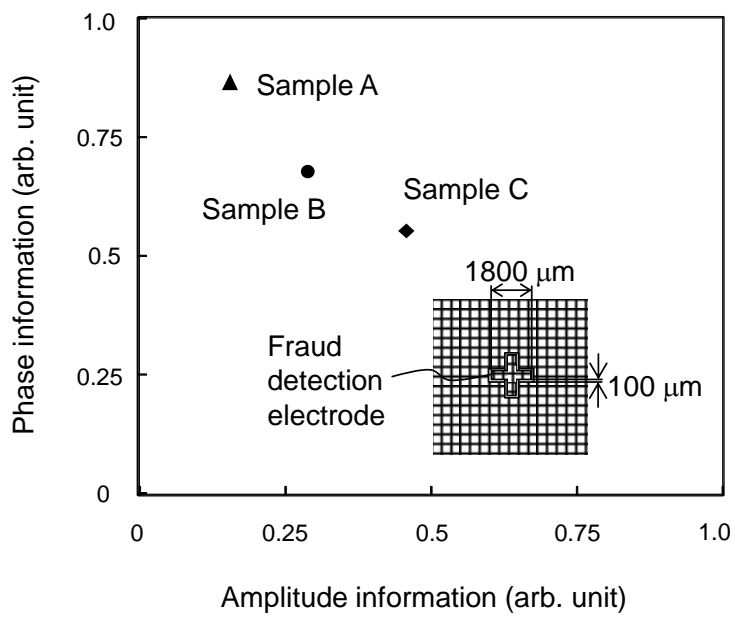
困において検出可能となる。グラフから、 R_{UGB} が2 k Ω 以下に設定されている場合、5 ~ 500 k Ω の範囲において R_f が検出可能であることが分かる。位相 ϕ と指の容量 C_f の関係を図4(b)に示す。 R_f の値について、この計算では乾燥指の値を500 k Ω とした。この結果から、 R_{UGB} が2 k Ω の条件で2 pFの C_f を検出する場合、正規化された位相 ϕ / T_{prd} は-0.01であることから、少なくとも1/2となる0.005がデジタル値に変換される必要があることが分かる。すなわち、 T_{prd} が1 μ sの条件での検出においては、5 nsの時間分解能を持つ時間-デジタル変換器が必要となる。このような変換器は、CMOS回路で構成することができる。このことは、 R_{UGB} が R_f の最小値を検出するのに十分小さい値に設定されている場合でも、ターゲットとする仕様において C_f の最小値を検出できることを意味している。したがって、提案回路は、様々な人の指に対してインピーダンスを検出するのに十分な検出可能範囲および感度を有するように設計できることが分かる。

5.4 実験結果

提案回路の効果を検証するために、0.5 μ m CMOSおよびセンサプロセス[7]を使用してテストチップを作製した。テストチップのインピーダンス検出特性について説明する。インピーダンスデータの妥当性を確認するために、テストチップによる検出とネットワークアナライザによる測定とを比較した結果を図5に示す。ネットワークアナライザで測定したインピーダンスについて図5(a)を用いて説明する。本物の指として表面状態が異なる3つの指を測定対象とした。サンプルAとCは、それぞれ乾燥指と湿潤指に対応し、サンプルBは、サンプルAとCの中間の状態であった。ネットワークアナライザで測定するために、不正検知電極からの端子を備えたセンサチップを準備した。電極はグリッド型であり、サイズは2500 x 2500 μ m²である。不正検知電極と接地電極の間のスペースは500 μ mである。インピーダンス情報は、指を流れる電流の振幅と位相で表される。これらの値はSパラメータから算出した。本物の指における指の表面状態の違いが観察された。提案回路を搭載したテストチップに対して得られた結果を図5(b)に示す。不正検知電極は十字型で、十字のアームの長さは1800 μ m、幅は400 μ m、不正検知電極と接地電極の間のスペースは100 μ mである。インピーダンスデータとして、 T_{amp} に対応する振幅情報と ϕ に対応する位相情報を示す。提案したセンサ回路は、すべての指についてインピーダンスを検出できた。これにより、6.2節で述べた分析に基づいて、回路で検出可能な抵抗の範囲は5~500 k Ω 、容量の範囲は2~100 pFであると推定した。提案回路の結果とネットワークアナライザによる測定結果の違いは、不正検知電極の違いや指の表面状態の変化に起因すると考えられる。テストチップで得られた振幅情報の関係は、ネットワークアナライザで測定された結果と一致した。



(a)



(b)

図5 提案手法を用いたインピーダンス検出の妥当性の確認

(a) ネットワークアナライザの測定結果

(b) テストチップから出力されたインピーダンスデータ

5.5 本章のまとめ

CMOS-MEMSインターフェースの寄生素子補償回路技術として、容量の周波数特性を計測する手法を提案し、寄生並列抵抗に流れる電流を安定化させる小型インピーダンス検出回路について述べた。三角波を用いた振幅と位相の検出と、UGBを使用した電流／電圧変換を特徴とし、これにより、回路面積 $150 \times 150 \mu\text{m}^2$ のインピーダンス検出回路を実現した。インピーダンス検出回路が人間の指の表面状態の範囲のインピーダンスを検出できることを解析的に示した。インピーダンス検出回路のテストチップを、 $0.5 \mu\text{m}$ CMOSプロセスとセンサプロセスを用いて作製した。湿潤指と乾燥指に対応した指を検出でき、振幅データは、ネットワークアナライザの測定値と一致することを確認した。

第 5 章参考文献

- [1] C. E. F. Amaral and B. Wolf, "Effects of glucose in blood and skin impedance spectroscopy," *proc. of AFICON2007*, pp. 26–28, 2007.
- [2] L. Yan, J. Bae, S. Lee, B. Kim, T. Roh, K. Song and H. Yoo, "A 3.9mW 25-Electrode Reconfigured Thoracic Impedance/ECG SoC with Body-Channel Transponder," *proc. of ISSCC*, pp. 490–491, 2010.
- [3] A. Carullo, F. Ferraris, M. Parvis, A. Vallan, E. Angelini, and P. Spinelli, "Low-cost electrochemical impedance spectroscopy system for corrosion monitoring of metallic antiquities and works of art," *IEEE trans. Instrument and Measurement*, vol. 49, pp. 371–375, 2000.
- [4] R. Matsuzaki, T. Keating, A. Todoroki, N. Hiraoka, "Rubber-based strain sensor fabricated using photolithography for intelligent tires," *Sensor and Actuator A*, vol. 148, pp. 1–9, 2008.
- [5] M. Grossi, A. Pompei, M. Lanzoni, R. Lazzarini, D. Matteuzzi and B. Ricco, "Total bacterial count in soft-frozen dairy products by impedance biosensor system," *IEEE Sensor Journal*, vol. 9, pp. 1270–1276, 2009.
- [6] Analog Devices, "1 MSPS, 12-Bit Impedance Converter, Network Analyzer," AD5933 datasheet, Sep. 2005 [Revised Aug. 2010]
- [7] K. Machida, S. Shigematsu, H. Morimura, Y. Tanabe, N. Sato, N. Shimoyama, T. Kumazaki, K. Kudou, M. Yano, and H. Kyuragi, "A novel semiconductor capacitive sensor for a single-chip fingerprint sensor/identifier LSI," *IEEE Trans. Electron Device*, vol. 48, No.10, pp. 2273–2278, 2001.

第 5 章付録

A. 振幅情報 T_{amp} と位相 ϕ の導出

式(2)と(3)は、図A1に示す差動アンプの出力信号の波形から導出される。式(2)は図A1(a)から求まる。 C_1 を無視すると、指を流れる電流 I_f は次の式で与えられる。

$$I_f = \frac{V_f}{R_f} \quad (\text{A1})$$

式(1)と式(A1)から、差動アンプの出力電圧 V_{out} は次のように求められる。

$$V_{\text{out}} = \left(1 + \frac{R_{\text{UGB}}}{R_f}\right) V_f \quad (\text{A2})$$

V_{out} のピーク電圧 V_{outp} は、次のように表される。

$$V_{\text{outp}} = \left(1 + \frac{R_{\text{UGB}}}{R_f}\right) \left(\frac{V_{\text{pp}}}{2} + V_{\text{ofs}}\right) \quad (\text{A3})$$

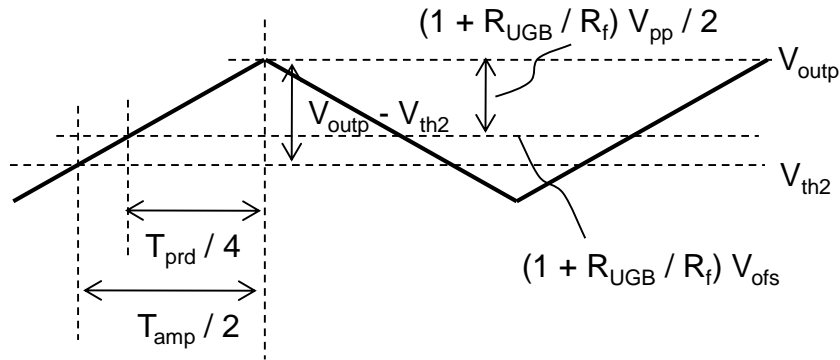
V_{out} の振幅と周期 T_{prd} を用い、 V_{out} に対する電圧上昇を次のように表す。

$$\frac{dV_{\text{out}}}{dt} = \frac{\left(1 + \frac{R_{\text{UGB}}}{R_f}\right) \frac{V_{\text{pp}}}{2}}{T_{\text{prd}}/4} \quad (\text{A4})$$

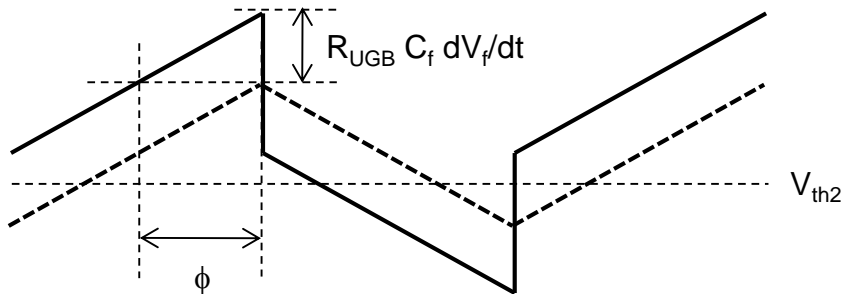
応答信号のパルス幅 T_{amp} は、閾値電圧 V_{th2} を伴って V_{out} の波形から生成される。この関係を用い、 V_{out} の傾きを次のように表す。

$$\frac{dV_{\text{out}}}{dt} = \frac{V_{\text{outp}} - V_{\text{th2}}}{T_{\text{amp}}/2} \quad (\text{A5})$$

式(A3) – (A5)から、パルス幅 T_{amp} は T_{prd} により正規化することにより式(2)として得られる。



(a)



(b)

図A1 差動アンプの出力波形を用いた式の導出のための概略図

(a) C_f を無視した R_f と T_{amp} の関係の導出

(b) 典型的な R_f を伴う C_f と ϕ の関係の導出

次に、式(3)の導出について、図A1(b)を用いて説明する。指の容量成分 C_f を無視しない場合、電流 I_f は次の式で与えられる。

$$I_f = \frac{V_f}{R_f} + C_f \frac{dV_f}{dt} \quad (A6)$$

概念図では、破線は第1項の V_f / R_f を表し、実線は C_f を含む第2項を追加した全ての項を示している。この概念図から、 V_{out} の傾きは次の式で与えられる。

$$\frac{dV_{\text{out}}}{dt} = \frac{R_{\text{UGB}}C_f \frac{dV_f}{dt}}{-\phi} \quad (\text{A7})$$

別の方法では、 V_{out} の傾きは C_f に依存しないため、式(A2)を微分することにより次のように表される。

$$\frac{dV_{\text{out}}}{dt} = (1 + R_{\text{UGB}}) \frac{dV_f}{dt} \quad (\text{A8})$$

式(A7) – (A8)を用いることで、位相 ϕ を表す式(3)が得られる。

B. 単位利得バッファの出力抵抗のバラツキ

単位利得バッファの出力抵抗 R_{UGB} のバラツキと、振幅情報 T_{amp} および位相 ϕ への影響を調べた。出力抵抗 R_{UGB} は次のように与えられる。

$$R_{\text{UGB}} = R_{\text{DRV}}G_{\text{DA}} \quad (\text{A9})$$

ここで、 R_{DRV} はドライバ回路の出力抵抗、 G_{DA} は差動アンプの利得である。ドライバ回路は、N型MOSFET(NMOSFET)とP型MOSFET(PMOSFET)で構成されるインバータである。飽和領域のMOSFETの電流式から、出力抵抗 R_{DRV} は次式で与えられる。

$$R_{\text{DRV}} = \frac{1}{V_{\text{DD}}\beta} \quad (\text{A10})$$

ここで、 V_{DD} は電源電圧、 β は $\beta = \mu C_{\text{ox}} W/L$ で与えられるトランジスタ係数である (μ :移動度。 C_{ox} :面積あたりのゲート容量。 W :チャンネル幅。 L :チャンネル長)。この場合、NMOSFETの β はPMOSFETの β と同じである。インバータのサイズが $60 \mu\text{m}/30 \mu\text{m}$ (W_p/W_n)の場合、 R_{UGB} は $2 \text{ k}\Omega$ として算出される。この時、 $R_{\text{DRV}} = 69 \Omega$ 、および、 $G_{\text{DA}} = 29$ である。ベストケースとワーストケースに対するデバイスパラメータに基づくシミュレーションによると、 R_{DRV} のバラツキは3%、 G_{DA} のバラツキは27%であった。したがって、 R_{UGB} のバラツキは30%となる。これにより、 R_f が $5 \text{ k}\Omega$ では T_{amp} に対して20%のバラツキが生じる。 R_{UGB} による ϕ のバラツキは、 C_f が 10 pF において30%となる。 T_{amp} および ϕ に対するこれらの誤差は、センサに触れる前のインピーダンスデータと比較するソフトウェアによって補正する必要がある。

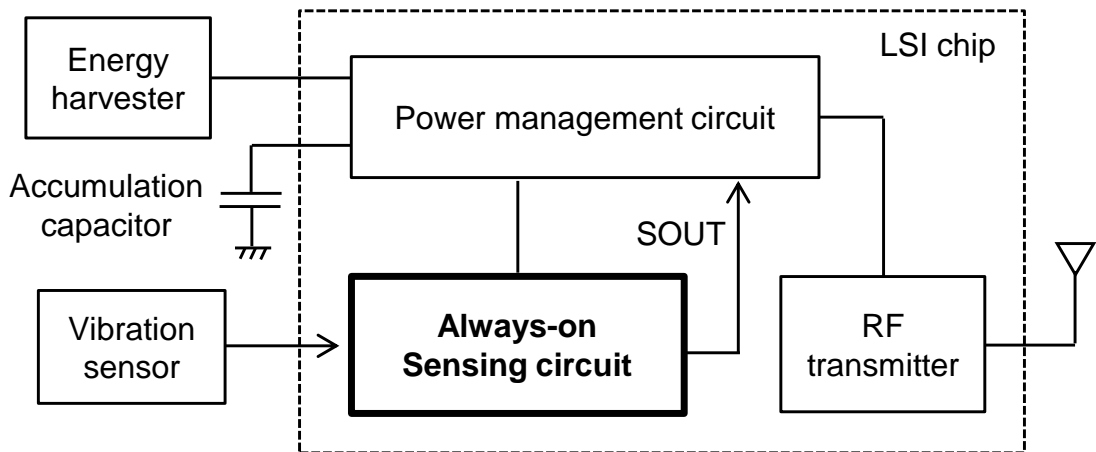
第6章

複合構造を有するセンサと電荷非破壊センサ回路の

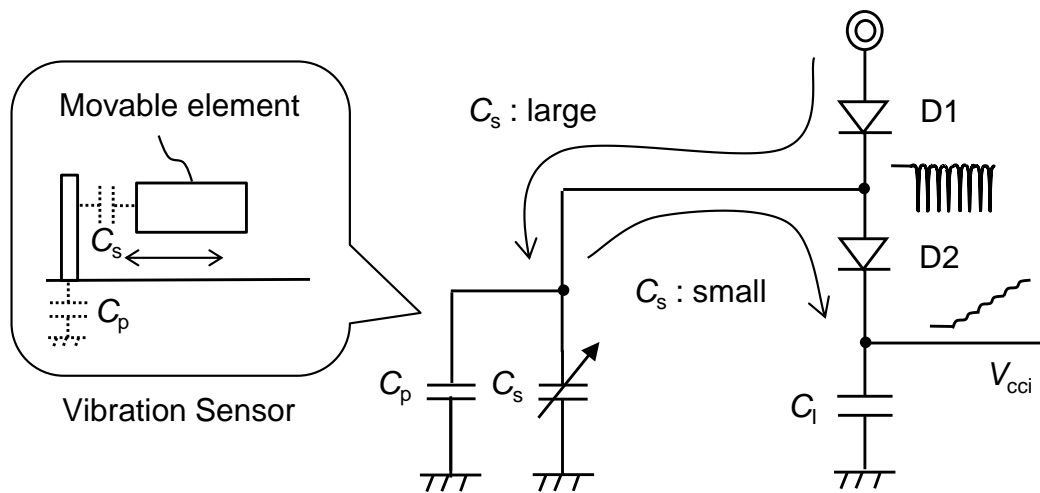
設計統合手法

6.1 はじめに

振動解析[1]は、インフラ構造物の劣化[2]や製造装置の故障[3]を予測するために活用されてきた。分析するためのデータを無線センサ端末(Wireless Sensor Node: WSN)によって取得し、センサネットワークを経由して収集する場合、測定対象にセンサ端末が多数設置される。端末設置とメンテナンスのコストを削減する上で、端末サイズをミリメートルレベルに小型化すること、電池交換を不要化することが有効である。ミリメートルサイズのセンサ端末で不規則に発生するイベントを検知する場合、動作時間を確保するのにセンサ回路の消費電力削減が重要となる。電池交換を不要とするエネルギーハーベスタで動作するWSNを図1に示す。図1(a)に示すセンサノード構成において、エネルギーハーベスタにより無線送信機の動作に必要な電荷が生成され、キャパシタに蓄積される[4]。電源管理回路はセンサ回路の出力SOUTに基づいて無線送信機に電力を供給する。センサ回路はいつ発生するか予測できない振動を検出し常時動作するため、長時間動作させるには消費電力の削減が重要となる。センサ回路にオペアンプを使用する場合は、電源から直流電流が流れ、周波数の高い信号を検出する場合にはさらに直流が大きくなる。生活環境で発生する振動の周波数は100 Hz未満であり、振幅は1 G未満とされる[5]。このような振動の検出に使用される市販の加速度計であるST Microelectronics社製LIS2DTW12は、少なくとも380 nAの電流を必要とする。筆者は振動センサの静電容量変化から電力を消費することなく電気信号を生成するセンサ回路を開発した[6]。提案回路は図1(b)に示すメカニカル電荷転送技術に基づいている。振動センサは機械構造に含まれる可動体に形成される可変容量 C_s を有する。可動体の運動エネルギーを利用することにより、 C_s の値に応じてダイオードD1を介した充電とダイオードD2を介した放電を交互に繰り返す。この充放電に基づく電荷転送により、振動の大きさに対応したコンデンサ C_f の電圧 V_{cc} が得られる。電荷転送効率を向上させるために、振動センサが生成する電荷を破壊しない入力インピーダンスの小さなダイオードが使用される。電荷転送によって生成される電圧は、振動波形に大きく依存する。そのため、センサ回路の性能を評価するためには振動センサをテストチップに接続する必要がある。加えて、ダイオードの端子により大き



(a)



(b)

図1 メンテナンスフリーのWSNのための振動検出手法
 (a) エネルギー蓄積に基づく無線センサノード構成
 (b) 常時動作センサ回路のためのメカニカル電荷転送技術

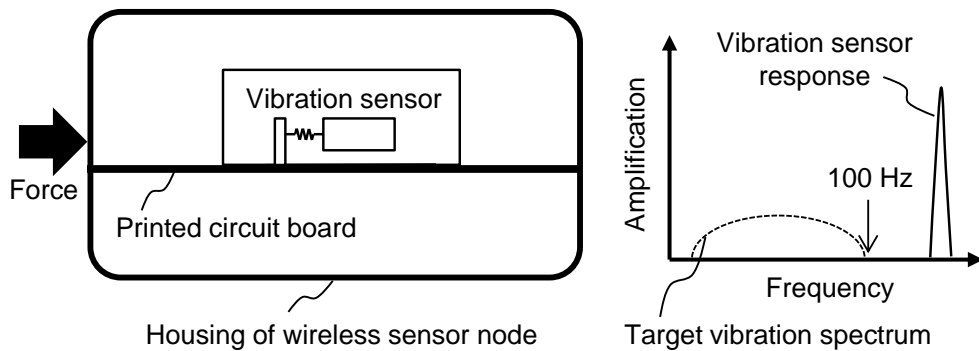
な電圧変化を発生させるには、寄生容量 C_p に比べて C_s の変化 ΔC_s を大きくする必要がある。これについては、振動センサの共振動作を利用することにより、 ΔC_s を増加させることができる。センサを搭載したプリント基板(Printed Circuit Board: PCB)は、

振動センサの共振周波数を振動スペクトルの目標範囲内に調整する振動増幅機構 (Vibration Amplification Mechanism: VAM) として使用できる[7]。この場合、VAMは複数のコンポーネントで構成される混合構造であり、単一の剛体とは見なされないため、共振周波数の推定が困難となる。

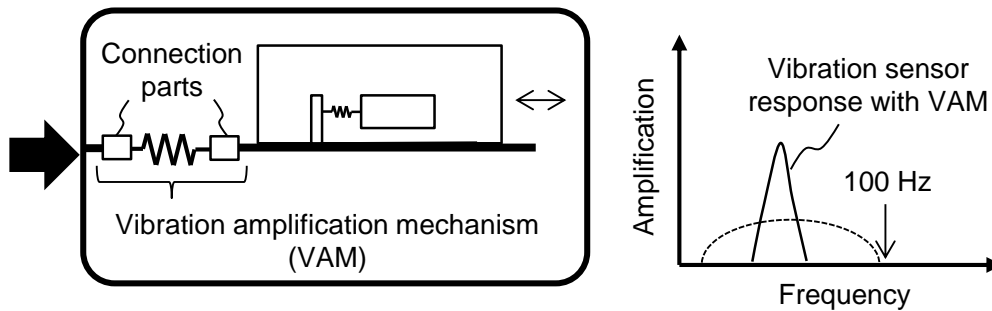
本章では、容量センシングの高感度化に向けたCMOS-MEMSインターフェースの未知パラメータ抽出モデリング技術として、メカニカル電荷転送を用いた振動センシングについて説明し、混合構造を有する振動センサと電荷を破壊しないセンサ回路の設計統合方法について説明する。6.2節では、混合構造を有するVAMについて説明し、6.3節では、VAMモデルを生成するための設計統合手法について説明する。6.4節では振動センサ回路の構成について述べ、6.5節では回路シミュレーションに用いる振動センサのビヘイビアモデルについて説明する。6.6節では、振動センサ回路のアーキテクチャとナノワット電力での動作を可能とする新しい閾値回路技術について説明する。6.7節では、テストチップの実験結果を示し、これに基づいて提案した設計統合手法を検証した結果について説明する。6.8節では回路性能を分析し、提案した閾値回路の有効性について説明する。

6.2 混合構造の振動増幅機構

VAMの原理を図2に示す。VAMを備えずPCBに配置された振動センサの応答を図2(a)に示す。この場合、PCBはWSNの筐体に自由度なく固定されている状態を想定する。振動センサをMEMSプロセスで作製する場合、可動体の質量とバネ定数が設計ルールによって制限されるため、共振周波数が100 Hz未満の目標範囲を満たすことは困難である。このことは、一般的な加速度計と同様に、可動体の変位が小さく、信号増幅のための電力が必要であることを示している。提案手法では、図2(b)に示すようにPCBと振動センサの間にVAMを接続し、振動センサに共振動作を誘導する。VAMは、共振周波数を目標の振動スペクトルの範囲内に調整する。センサが共振を伴って動作することで、可動体の変位が増幅される。VAMは、バネ要素(例えばPCB)と接続部品(例えばボルト)などの個別の部品で構成されるため、単一の剛体とは見なせない。このため、FEMシミュレーションを使用して共振周波数シフトを推定することは困難である。SPICEシミュレーションではセンサ回路を設計するのに、物理方程式で表される振動センサのビヘイビアモデルを使用する。バネや質量体などのセンサ要素が数式で表現できる場合、振動センサとセンサ回路を同時にシミュレーションすることができ、両方の作製用レイアウトデータが生成される[8]。VAMを含む設計においては、定式化することもFEMシミュレーションと同様に困難である。



(a)

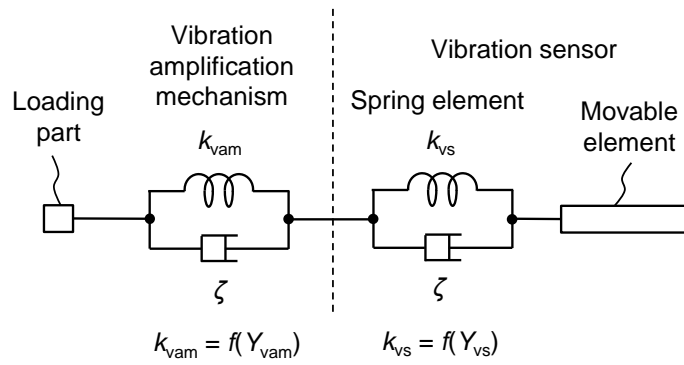


(b)

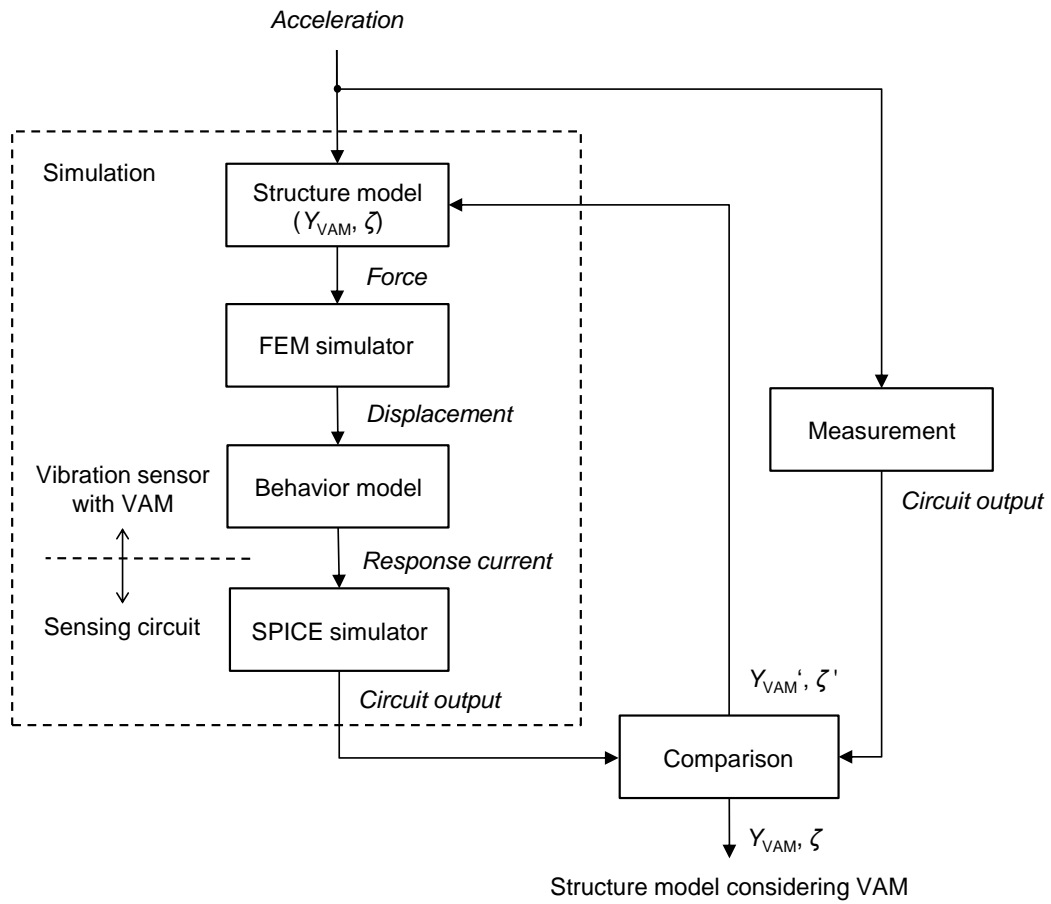
図2 振動増幅機構 (VAM) の原理
(a) PCB上の振動センサ (b) 提案手法

6.3 振動増幅機構モデル生成のための設計統合手法

VAMの実用的なFEMモデルを得るために提案したセンサとセンサ回路の設計統合手法の概念を図3に示す。バネ要素とVAMのモデルは、図3(a)に示すように、パラメータ数が最小化されるように簡略化される。バネ要素は、バネとダッシュポッドの並列接続で表され、VAMもバネ要素と同様の構成に簡略化される。これによりパラメータは、センサとVAMのバネ定数 k_{vs} と k_{vam} 、および、バネ要素の減衰係数 ζ に集約される。バネ定数は、剛性に対応するヤング率 Y_{vs} および Y_{vam} で与えられる。 Y_{vs} はセンサに使用される材料の値で与えられ、 Y_{vam} と ζ は測定結果から抽出される。パラメータ抽出のフローを図3(b)に示す。まず、FEMシミュレーションに用いる構造モデルにお



(a)



(b)

図3 提案した設計統合手法のコンセプト
 (a) VAMを備えた振動センサのパラメータ
 (b) 測定結果に基づくパラメータ抽出のフロー

いて、測定時と同じ加速度となる力を導出する。この値を用いてFEMシミュレータにより振動センサの可動体の変位を得る。導出された変位は、回路を解析するSPICEシミュレータのビヘイビアモデルの数式に代入される。ビヘイビアモデルにおいて応答電流が算出され、この値を用いたSPICEシミュレーションにより検出回路の出力が得られる。シミュレーション結果を測定結果と比較し、シミュレーションと測定が整合するまで別の値に入れ替えることにより、 Y_{vam} と ζ が抽出される。

実際には、図4に示すように、パラメータは2段階のフィードバックループを伴って抽出される。この方法では共振周波数に対する Y_{vam} の依存性と最大変位に対する ζ の依存性が互いに独立であることを利用する。初期条件として、ヤング率はバネ要素とVAMで同じ、減衰係数はゼロ、加速度振幅 a_{max} は測定条件での値 a_{max}' と同じとする。

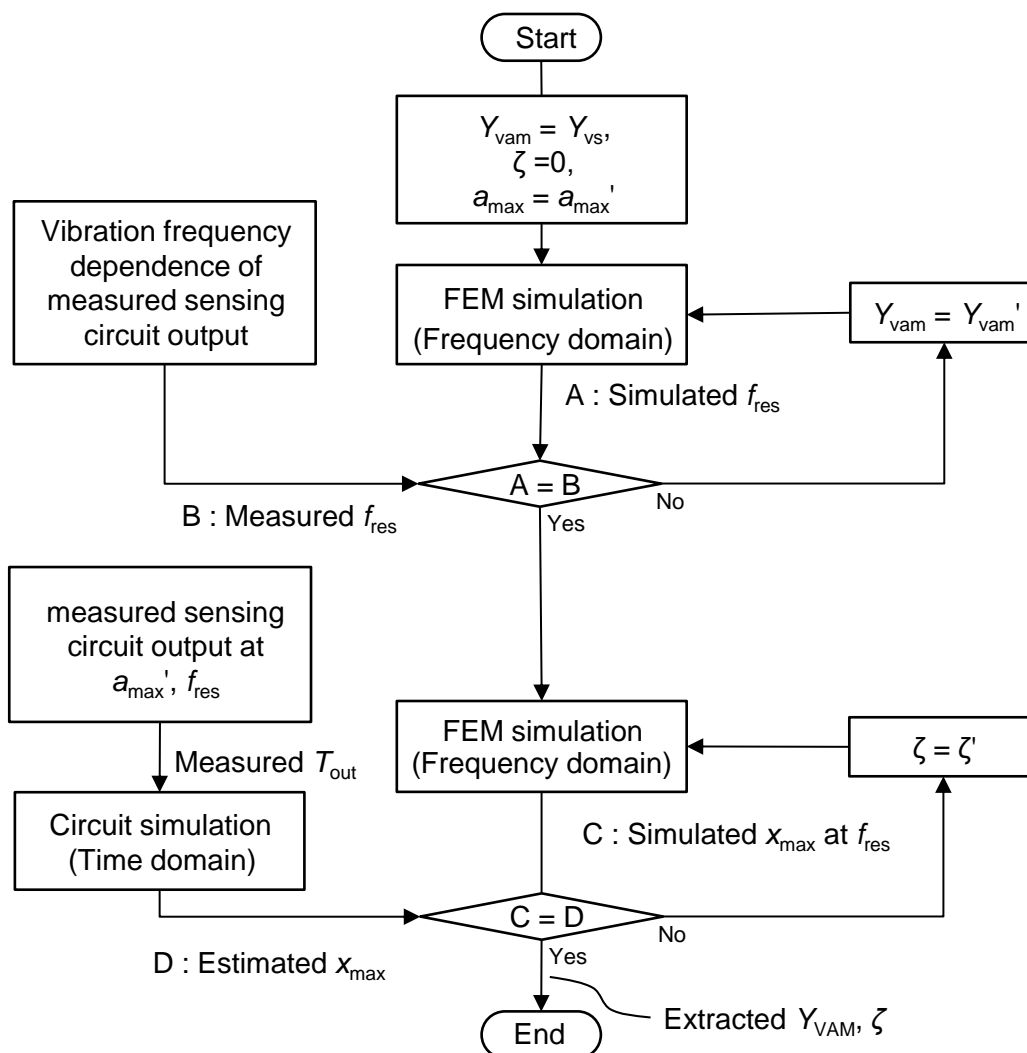


図4 2段フィードバックループを伴う実際の抽出フロー

まず、FEMシミュレーションにより求めた共振周波数と、測定によるセンサ回路出力の結果から得られる振動周波数とを比較する。両方の共振周波数の一致により Y_{vam} が決まる。次に、測定と同じ条件の下でFEMシミュレーションにより最大変位 x_{max} を算出する。この時、振動周波数は共振周波数 f_{res} に設定する。測定により得られたセンサ回路出力の結果から、回路シミュレーションによって x_{max} が導出される。 x_{max} の2つの値の比較により ζ が決まる。

VAMを伴うFEMシミュレーション用の構造モデルを図5に示す。振動センサとVAMを同一モデル内で解析すると、スケールの違いにより計算量が増加するのに対して、VAMをヤング率 Y_{vam} の薄いプレートで表わすことで計算量を低減させた。プレートの面積は $1 \times 1\text{mm}^2$ とした。優れたバネ性を有するため実験で採用したベリリウム銅(BeCu)の値に基づいて、 Y_{vs} は130 GPa、密度は 8.7 g/cm^3 に設定した。荷重 F_{vib} は、振動解析で一般的に使用される大質量法に基づいて設定した。荷重部の重量は可動体に対して十分大きな値に設定し、荷重部において所定の加速度が生成されるようにした。

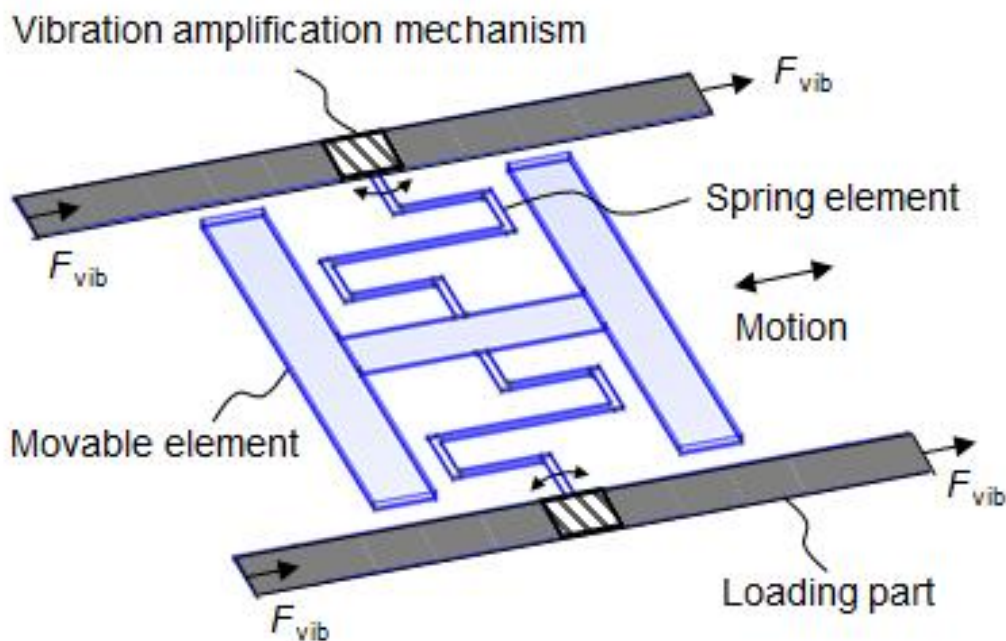


図5 FEMシミュレーションのための構造モデル

6.4 振動センサ回路構成

連続励起検出 (Continuous excitation detection: CED) の回路構成[9]を図6に示す。CED回路は、ゼロDC電流チャージアンプとランプ電圧ーパルス幅 (Voltage ramp to pulse width: VRPW) コンバータで構成した。チャージアンプでは、振動センサの容量変化により発生する電荷を3つのダイオード接続されたMOSFETにより転送する。センサに振動が加わると、2つの可変容量が交互に変化し、チャージアンプの出力 V_{cci} が増加する。VRPWコンバータは、2つの閾値回路と排他的論理和ゲートを備える。論理閾値電圧を閾値回路毎に異なるように設定し、振動振幅に依存したパルス幅のパルスを排他的論理和ゲートから出力するようにした。

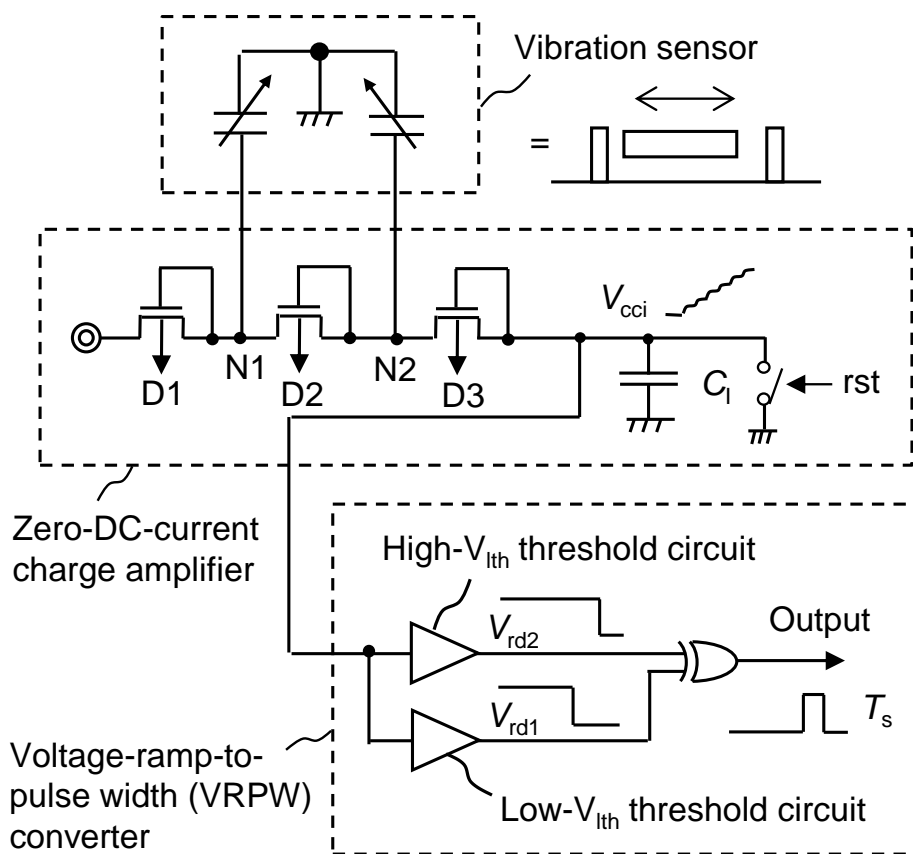


図6 連続励起検出 (CED) 回路構成

提案した閾値回路について、信号遷移時間をCED回路と比較して短く設定し、インパルス励起検出 (Impulse excitation detection: IED) 回路に用いた。図7に示すIED回路の構成[10]では、励起電荷検出回路 (Pumped-charge detection circuit) により振動センサで発生する容量変化から電圧信号が生成され、電流制限アンプによって増幅される。電流源はDCバイアス電流を制限し、閾値回路の入力範囲と整合するようにオフセット電圧を調整する。閾値回路は、振動波形に対応したPWM信号を出力する。

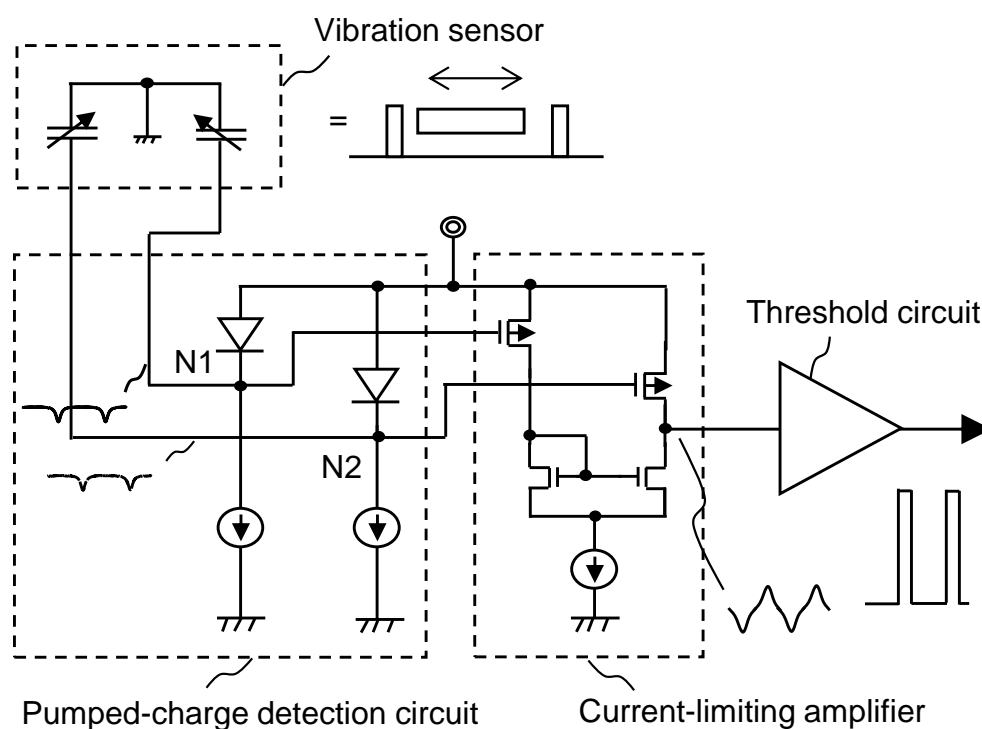


図7 インパルス励起検出 (IED) 回路構成

6.5 振動センサの回路シミュレーション用ビヘイビアモデル

センサ回路の解析には、回路シミュレータLTspiceを用いた。振動センサにおける応答電流の生成は、図8に示すビヘイビアモデルで表現される。LTspiceには、時間軸を含む数式に従って制御される電圧制御電流源 (Voltage controlled current source: VCCS) と電圧制御電圧源 (Voltage controlled voltage source: VCVS) のライブラリが用意されている。ビヘイビアモデルはVCCSの組とVCVSの組を有し、VCCSはVCVSに設定される次式によって制御される。

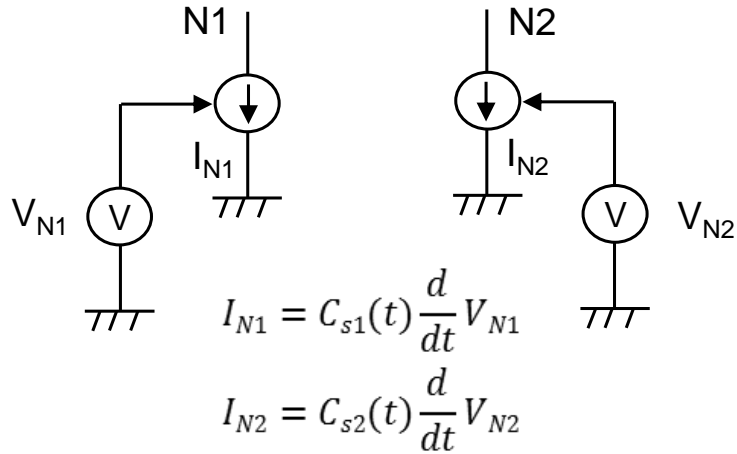


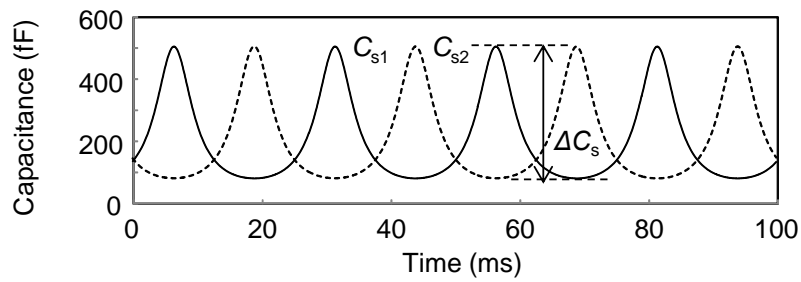
図8 振動センサのビヘイビアモデル

$$I_{N1} = C_{s1}(t) \frac{d}{dt} V_{N1} \quad (1)$$

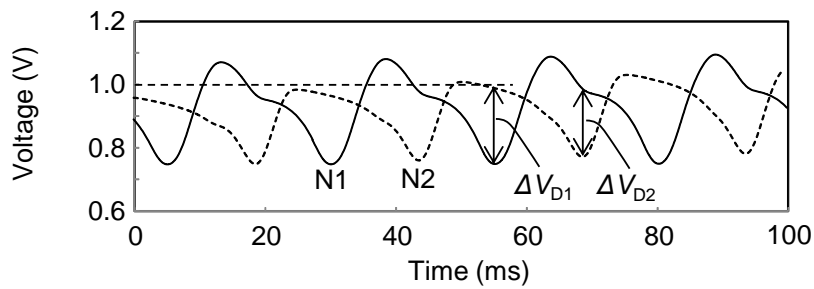
$$I_{N2} = C_{s2}(t) \frac{d}{dt} V_{N2} \quad (2)$$

ここで、 I_{N1} と I_{N2} はノードN1 とN2 の電流、 V_{N1} と V_{N2} は電圧、 $C_{s1}(t)$ と $C_{s2}(t)$ は容量である。 $C_{s1}(t)$ と $C_{s2}(t)$ は、それぞれ $(\epsilon_0 S) / (d-x)$ と $(\epsilon_0 S) / (d+x)$ で算出される。ここで、 d は初期状態での空隙の間隔、 x は可動体の変位、 S は電極面積である。

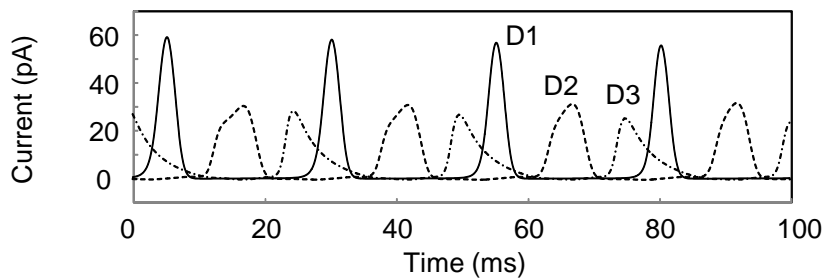
CED回路のゼロDC電流チャージアンプに対し、振動センサのビヘイビアモデルを用いて導出した波形を図9に示す。容量 C_{s1} と C_{s2} は図9(a)に示すように変化し、容量変化 ΔC_s (容量の最大値と最小値の差分)により、図9(b)に示すように、ノードN1およびN2において電圧変化が生成される。寄生容量 C_p はLSIチップにおける電極パッドを考慮して800 fFに設定した。D1とD2の電流ピークは、それぞれ最大電圧変化 ΔV_{D1} (電源とN1間の電位差)と ΔV_{D2} (N1とN2間の電位差)に対応し、転送される電荷量は各ダイオードで変化しない[図9(c)]。D3の電流を積分することで得られる電荷はキャパシタ C_1 に転送され、電圧 V_{cci} は徐々に増加する[図9(d)]。



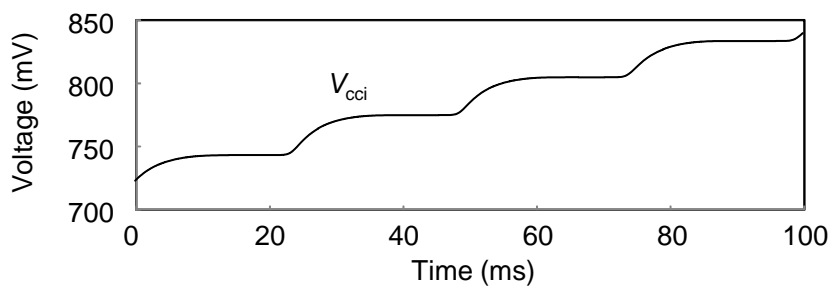
(a)



(b)



(c)



(d)

図9 メカニカル電荷転送の動作波形

(a) 機械構造に形成された可変容量 (b) ノードN1、N2の電圧

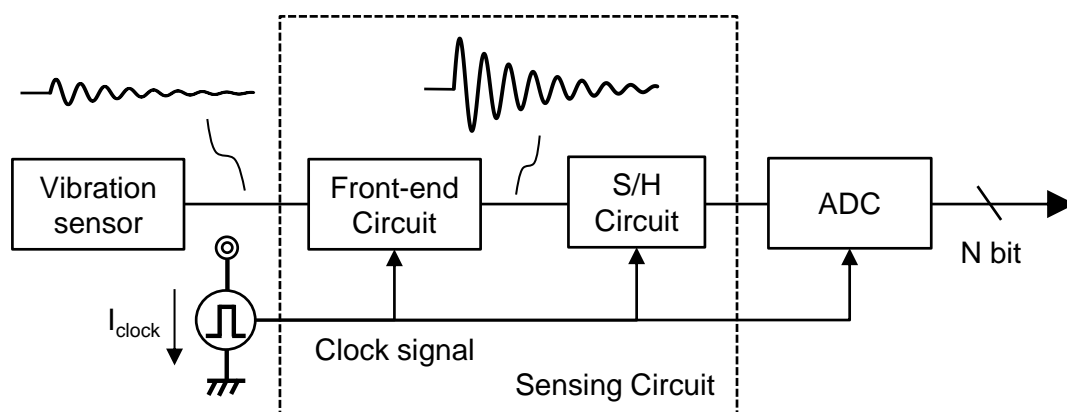
(c) ダイオード接続されたMOSFET (D1、D2、D3)の電流

(d) 出力電圧 V_{cci}

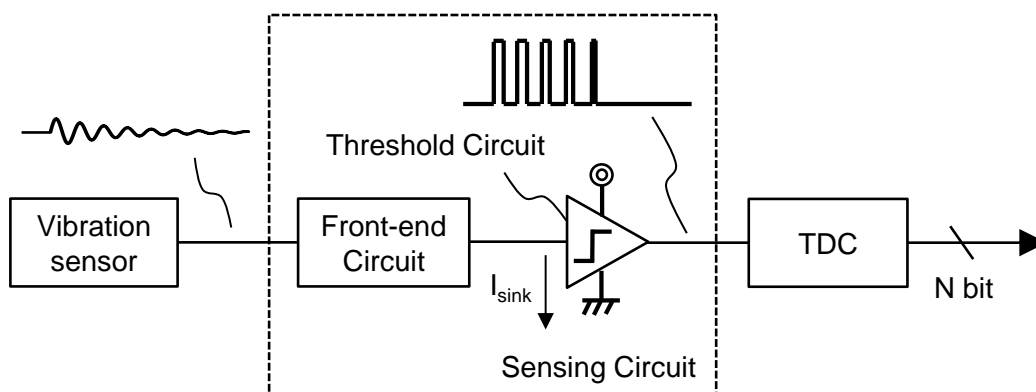
6.6 ナノワット振動センシングのためのクロックレスCMOS閾値回路

6.6.1 振動センサ回路のアーキテクチャ

振動センサ回路のアーキテクチャについて、図10を用いて説明する。一般的に用いられるクロック信号を伴うデータサンプリングの構成を図10(a)に示す。フロントエン



(a)



(b)

図10 振動センサ回路のアーキテクチャ

(a) クロック信号を用いたデータサンプリング (一般的に使用)

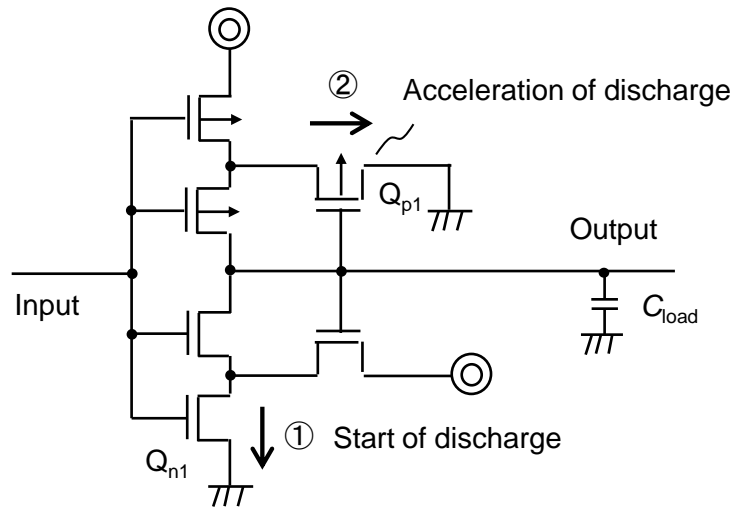
(b) クロック信号を用いないパルス幅変調 (提案技術で使用)

ド回路は振動センサからの電気信号を増幅し、サンプルアンドホールド (Sample and Hold: S/H) 回路は電圧を所定の時間保持する。ADCは保持された電圧をデジタルデータに変換して出力する[11-13]。フロントエンド回路とADCを同期して動作させるのにクロック信号を必要とし、信号生成に電力を必要とする。図10 (b)に示すPWM変調は、シンプルな回路で構成される[14-15]。このアーキテクチャでは、PWMは閾値回路によって処理され、TDCによりパルス幅からデジタル化した出力を得るため、クロック信号生成の電力を必要としない。一方で、フロントエンド回路はクロック信号のような短い期間でリセットされず、振動が発生しない場合には、入力電圧が閾値回路の論理閾値電圧に近い中間電圧に保持され、閾値回路に大きなシンク電流 I_{sink} が流れる。また、生活環境で発生する振動の周波数は100 Hz以下であり[16]、測定の時間分解能は1 ms以下である必要があると想定される。これらの課題を解決するために、筆者は入力電圧に依存せずナノワットレベルの消費電力で動作する閾値回路を開発した[9-10]。

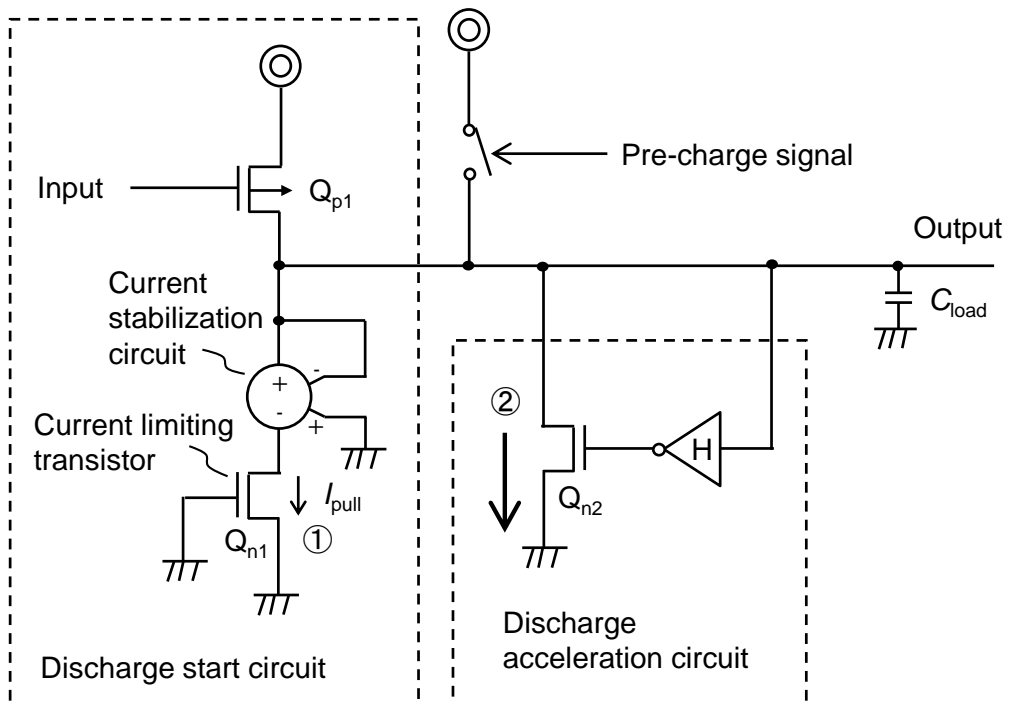
6.6.2 ナノワット閾値回路のコンセプト

提案した閾値回路のコンセプトについて、クロック信号を必要としない従来のシュミットトリガ回路と比較することで説明する(図11)。まず、シュミットトリガ回路の動作について、図11 (a)を用いて説明する。入力信号は、ロー状態からハイ状態に一方向に遷移すると仮定する。動作は2つのステップで行われる。初期状態では、次段の回路のゲート容量に対応する負荷容量 C_{load} が充電される。次に、NMOSトランジスタ Q_{n1} が C_{load} を放電し、PMOSトランジスタ Q_{p1} が放電を加速する。この動作により、入力電圧が中間電位の場合でも、出力電圧は接地電圧レベルまたは電源電圧レベルに決まる。一方、入力電圧が論理閾値電圧に近い場合は、電源端子から接地端子に大きなシンク電流が流れる。直列に接続された2つの容量で論理閾値を制御する構成では、シンク電流をゼロにできる[17]。この回路では、数十ミリ秒の時間間隔内に静電容量をリセットする必要があり、クロック信号を用いないパルス幅変調のアーキテクチャでは、クロック信号のように短い間隔でリセット動作を実行することは適さない。

シンク電流を抑制するために、図11 (b)に示すように、放電開始回路と放電加速回路を組み合わせた回路を提案する。この回路は、入力信号が一方向に遷移することを



(a)

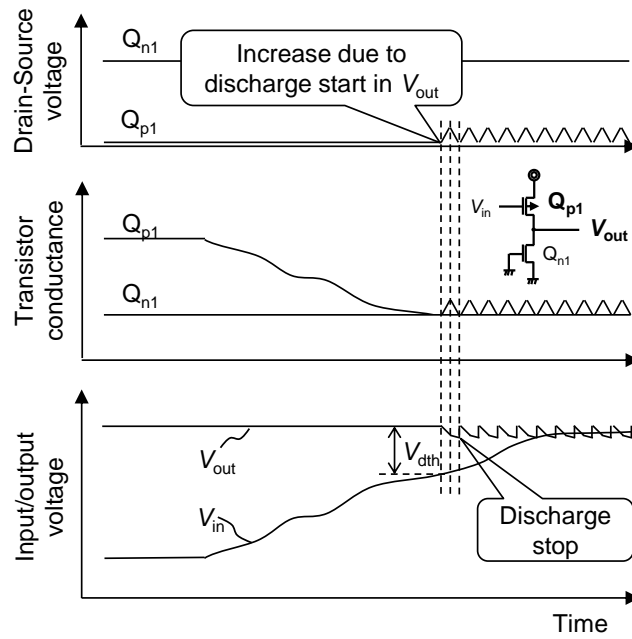


(b)

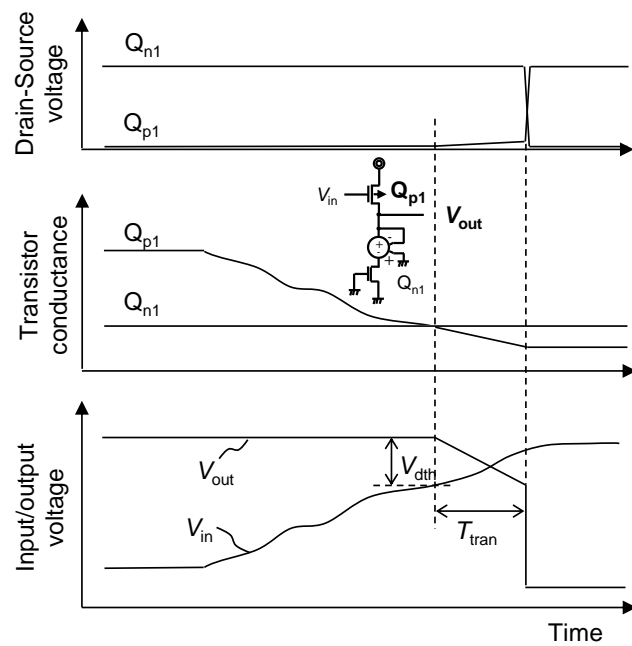
図11 提案する閾値回路技術のコンセプト
 (a) シュミットトリガ回路 (b) 提案回路

前提としており、信号遷移後、所定の時間が経過すると、フロントエンド回路を含めてリセット動作を繰り返す。シンク電流は、電流制限トランジスタ Q_{n1} の電流 I_{pull} 、つまり入力電圧に依存せずにナノアンペアレベルに制限される。放電開始回路は、入力電圧が論理閾値電圧を越えたことを検出する。動作について次に説明する。出力端子は、センサ回路の出力信号を遅らせることにより生成されるプリチャージ信号によってリセットされる。初期状態では、入力電圧は低く、PMOSTランジスタ Q_{p1} は出力電圧を電源電圧に引き上げる。次に、入力電圧が論理閾値電圧に近づくことで、 Q_{p1} の動作はサブスレッショルド領域からオフ状態に変化する。 Q_{p1} の電流は、オフ状態に近い深いサブスレッショルド領域で動作する Q_{n1} の電流 I_{pull} に等しくなる。これにより、 C_{load} が Q_{n1} を介して放電を開始する。放電開始時の Q_{p1} のドレイン-ソース間電圧を、放電閾値電圧 V_{dth} と定義する。信号遷移時間 T_{tran} は電流の制限により増加するが、放電電流を増加させる放電加速回路によって短縮される。初期状態においてインバータによって制御されるNMOSTランジスタ Q_{n2} はオフ状態である。出力電圧がインバータの論理閾値電圧 V_{lth} まで低下すると、 Q_{n2} は I_{pull} よりも大きな電流でオン状態となる。 V_{lth} を電源電圧に近づけることで T_{tran} をより短くできる。

放電開始回路には電流安定化回路を備える。電流安定化回路の機能について図12を用いて説明する。この回路の動作について、ドレイン-ソース間電流をドレイン-ソース間電圧で割ることによって定義されるトランジスタコンダクタンスを用いて説明する。電流安定化回路を用いない場合、図12(a)に示すように閾値動作が正常に行われな。入力電圧 V_{in} と電源電圧の電圧差が V_{dth} となるタイミングで、 Q_{p1} と Q_{n1} のトランジスタコンダクタンスが等しくなり、出力電圧 V_{out} が低下し始める。 V_{out} が減少すると、 Q_{p1} のドレイン-ソース間電圧が増加し、ドレイン電流は V_{out} で放電を停止する。この動作が繰り返され、チャタリングが発生する。電流安定化回路は電圧制御電圧発生器として動作し(図2(b)を参照)、図12(b)に示すように Q_{p1} のドレイン-ソース間電圧の上昇を抑制する。 Q_{p1} のトランジスタコンダクタンスは Q_{n1} のトランジスタコンダクタンスよりも小さくなり、閾値動作は T_{tran} 後に放電加速回路によって完了する。



(a)



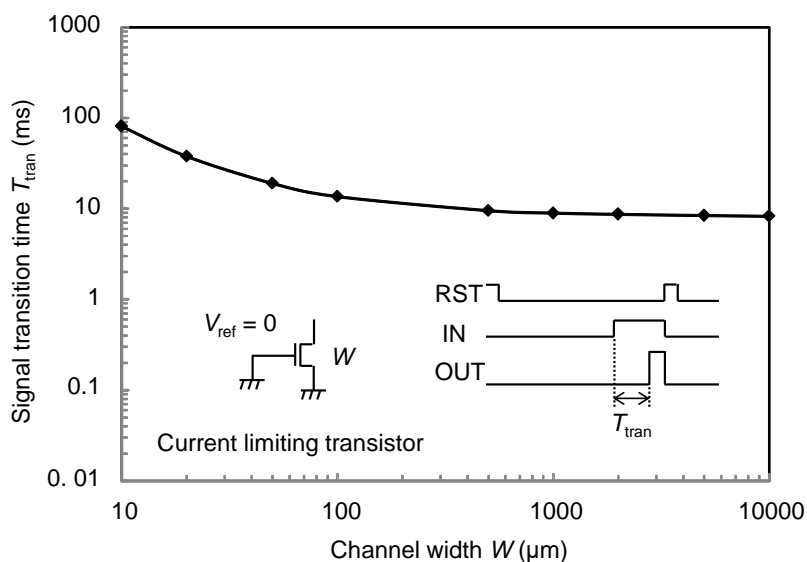
(b)

図12 電流安定化回路の機能

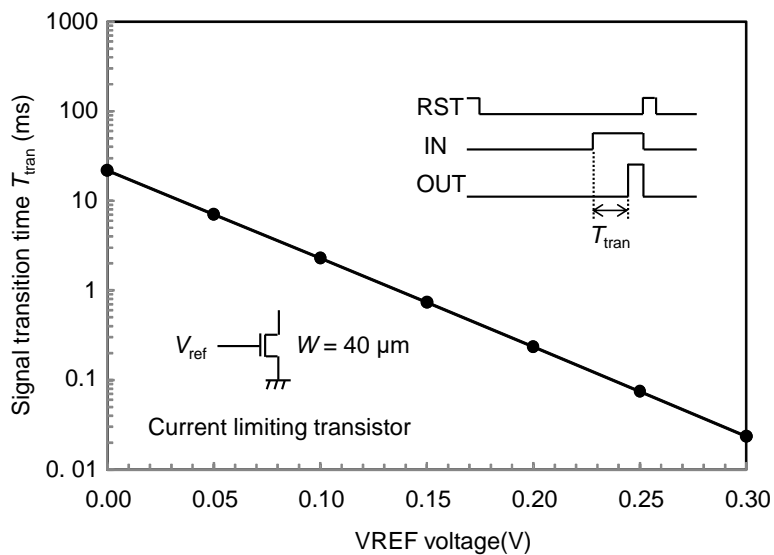
(a) 電流安定化回路無し (b) 電流安定化回路有り

6.6.3 ナノワット閾値回路の設計

放電開始回路の電流制限トランジスタにより、信号遷移時間 T_{tran} が決まる。 T_{tran} の目標値に到達するためのバイアス回路の必要性について、図13を用いて説明する。



(a)



(b)

図13 放電開始回路の設計

(a) T_{tran} のチャンネル幅 W 依存性 (b) T_{tran} のゲート電圧 V_{ref} 依存性

0.35 μm CMOSのデバイスモデルを用いたLTSPICEの解析により T_{tran} を導出した。電源電圧は3.0 Vである。図13(a)は、バイアス回路を用いずにチャネル幅 W で制限電流 I_{pull} を調整する条件での T_{tran} のシミュレーション結果である。 W の増加とともに寄生容量は増加し、 T_{tran} の減少は10 msで飽和することがわかる。図13(b)は、電流制限トランジスタのゲート電圧 V_{ref} により I_{pull} を調整する条件での T_{tran} のシミュレーション結果である。この結果では T_{tran} の減少は飽和しない。これらの結果から、 T_{tran} の目標値1 msに到達させるためにはバイアス回路が必要であることが分かる。

提案技術に基づく回路構成を図14に示す。電流制限トランジスタ Q_{n1} のゲートは、5つのダイオード接続MOSFETで構成したバイアス回路により電源電圧の1/5とし、 Q_{n1} の閾値電圧より低く設定した。バイアス回路のDCバイアス電流は20 pA未満とした。 Q_{n1} のチャネル長は0.4 μm で、チャネル幅は論理閾値電圧に対応して4~40 μm に設定した。放電加速回路の高論理閾値インバータは、ソース接地のPMOSFET Q_{p3} と負荷抵抗としてオフ状態のNMOSFET Q_{n3} で構成し、DCバイアス電流が流れないようにした。閾値回路のDCバイアス電流は、電流制限トランジスタによって決まる。 Q_{p3} のゲート容量はバッファ回路の入力容量よりも小さいため、 T_{tran} への影響は小さい。 T_{tran} の式は、次のように導出される。

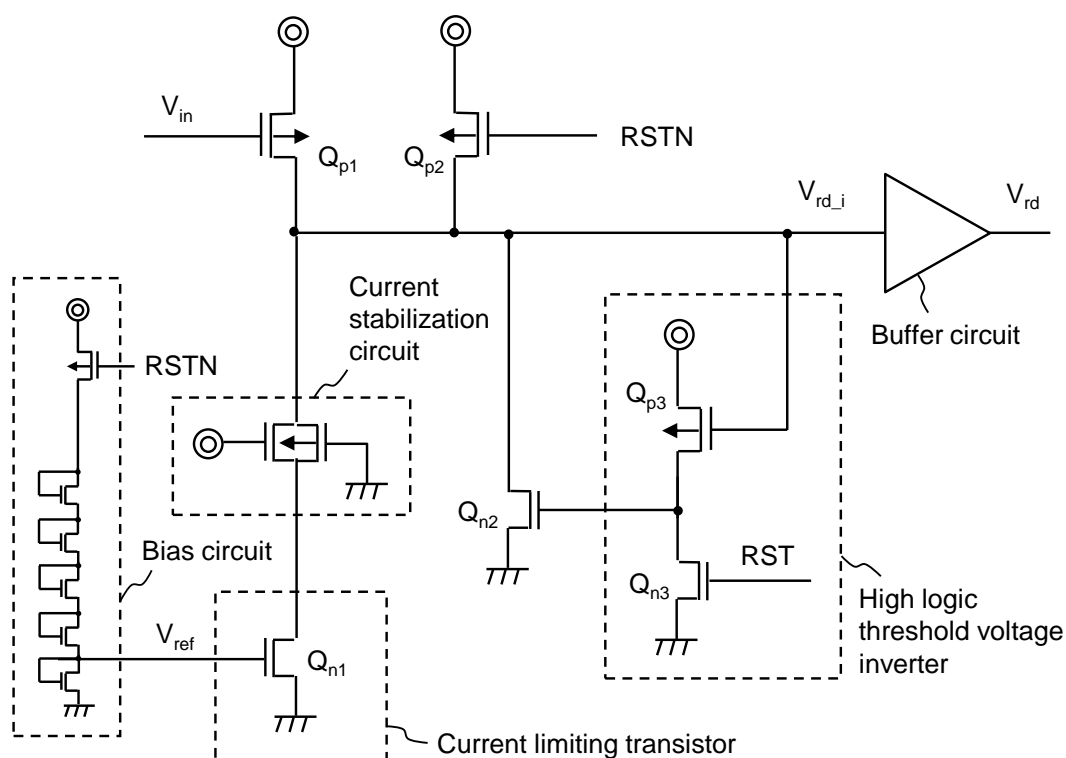
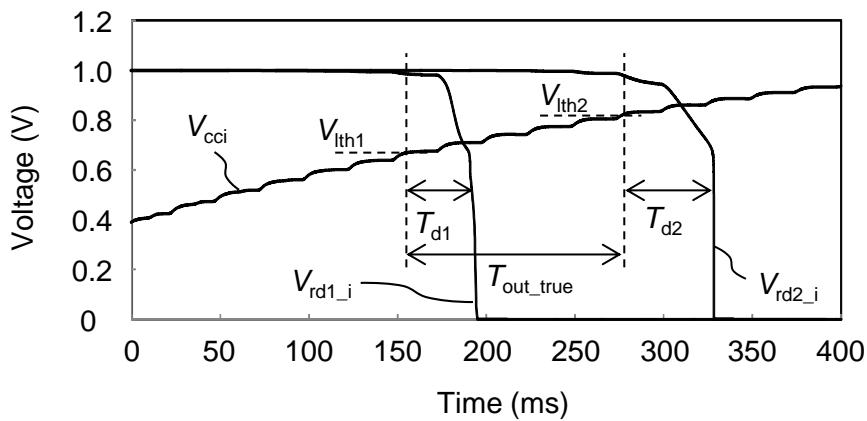


図14 閾値回路構成

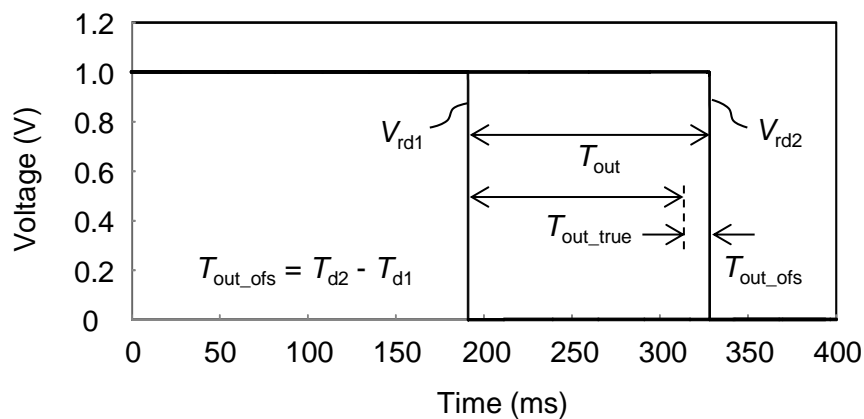
$$T_{\text{tran}} = \frac{C_{\text{load}} \cdot \Delta V_{\text{lth}}}{I_{\text{pull}}} \quad (1)$$

ここで、 C_{load} は内部ノード電圧 V_{rd_i} での負荷容量、 ΔV_{lth} は電源電圧と高論理閾値インバータの論理閾値電圧の電位差である。 Q_{n1} のドレイン端子の変化を Q_{p1} の電流にフィードバックするのに、電流安定化回路として、常にオン状態のトランスファゲートを用いる。トランスファゲートは、 Q_{n1} のドレイン端子と V_{out} の間に電圧を生成し、 Q_{n1} と Q_{p1} の間の電流の関係を維持する。これにより、 Q_{p1} のドレイン端子での電圧降下によるチャタリングが抑制される。

CED回路(図6)を対象に、回路シミュレーションにより閾値回路の動作波形を導出した結果を図15に示す。CED回路は論理閾値電圧の異なる2つの閾値回路を備え



(a)



(b)

図15 閾値回路の動作波形

(a)内部ノード電圧 V_{rd1_i} 、 V_{rd2_i} (b)出力電圧 V_{rd1} 、 V_{rd2}

ており、低論理閾値の閾値回路の出力電圧 V_{rd1} 、内部ノード電圧 V_{rd1_i} (図14における V_{rd} 、 V_{rd_i} に対応)、高論理閾値の閾値回路の出力電圧 V_{rd2} 、内部ノード電圧 V_{rd2_i} とする。図15(a)は、 V_{rd1_i} と V_{rd2_i} を示している。転送される電荷の合計量は T_{out_true} に対応するのに対して、論理閾値電圧 V_{lth1} と V_{lth2} の違いにより、遅延時間 T_{d1} と T_{d2} に違いが生じる。閾値回路の出力電圧 V_{rd1} 、 V_{rd2} を図15(b)に示す。 T_{out} には、 T_{out_tur} だけでなく T_{d1} と T_{d2} の違いにより生じる T_{out_ofs} も含まれるため、転送された正味の電荷量を見積もるには、 $T_{d2} - T_{d1}$ で得られる T_{out_ofs} で補正する必要がある。

6.7 実験結果と考察

6.7.1 測定

テストチップの顕微鏡写真と評価ボードの写真を図16に示す。テストチップは、 $0.35 \mu\text{m}$ のCMOSプロセスで作製した。チップサイズは $2 \times 2 \text{ mm}^2$ 、回路面積は $1 \times 1 \text{ mm}^2$ である。振動センサ回路、TDC、電力管理回路[18]、送信器[19]を搭載している。センサ回路の面積は $420 \times 180 \mu\text{m}^2$ である。測定に用いる評価ボードは2枚で構成し、メインボードに外部測定機器とサブボードに接続するための端子を備える。振動センサはサブボード上でテストチップに接続した。センサは、金属エッチングとBeCuシートを用いた金属曲げプロセスで作製した。シートの厚さは $50 \mu\text{m}$ 、バネの幅は 0.15 mm である。可動体の端を直角に曲げて容量変化を大きくした。センサのサイズは $10 \times 10 \times 2 \text{ mm}^3$ である。電極面積は 8 mm^2 、電極と可動素子間の空隙は初期状

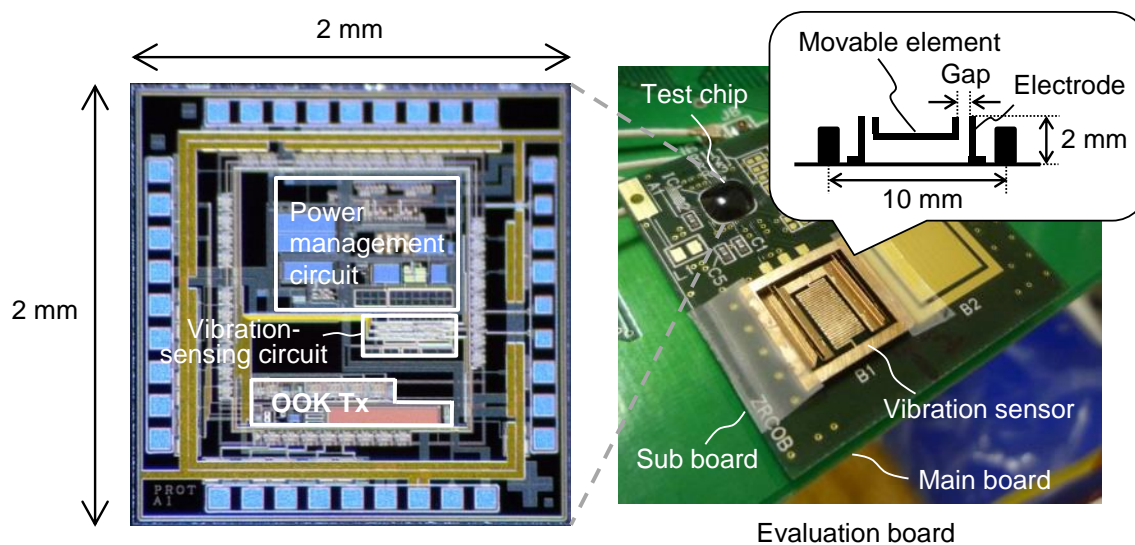


図16 テストチップと振動センサを搭載した評価ボードの写真

態で0.5 mmとした。電極はセンサ回路チップに接続される。電源は外部電流源から供給し、電源電圧は1–3 Vに設定した。

評価ボードに加速度を発生させる測定システムを図17に示す。加振器(Shaker)を用いて評価ボードに振動を印加した。評価ボードは、振動負荷部>Loading Part)にボルトで固定し、力が加わるようにした。振動センサの可動体は、バネ要素を介して支柱に接続される。評価ボードとボルトをVAMとして機能させ、VAMの剛性により力の伝達を変化させることで、共振周波数を環境振動の周波数の付近とした。センシング動作を連続励起とインパルス励起の振動で測定することで、様々な時間分解能の要件の下で評価した。回転モータを備えた機械で発生するような連続励起振動の場合は、振動波形を正弦波とした。インフラ構造物検査におけるハンマーテストで発生するインパルス励起振動の波形を模擬する場合にはインパルス波とした。

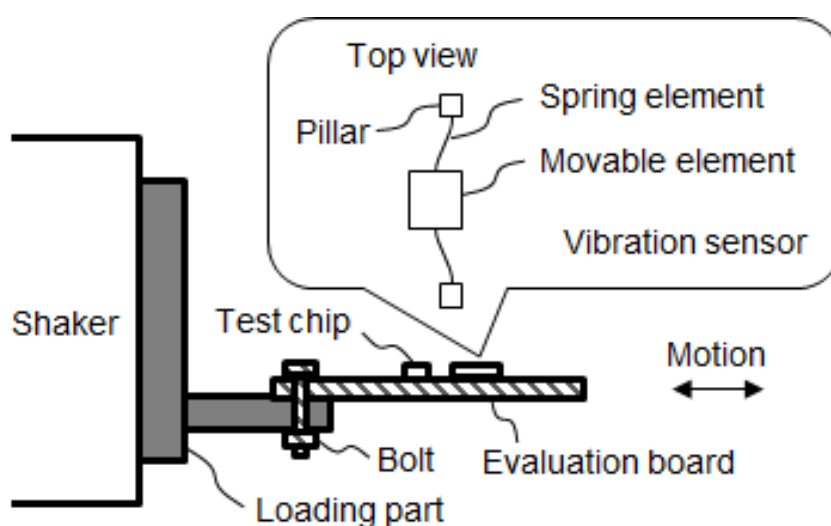


図17 加速度を発生させるための測定システム

6.7.2 センシング特性

(a) 連続励起応答の検出

出力パルス幅 T_{out} に対する加速度振幅 a_{max} の依存性を測定した結果を図18に示す。加速度の波形は正弦波であり、周波数はVAMを備えた振動センサの共振周波数 (f_{vi}) に設定した。周波数依存性を観測するために、バネ形状の異なる2種類の振動センサを用いた。 T_{out} は a_{max} の増加とともに減少し、 T_{out} の減少は1 Gで飽和することが分

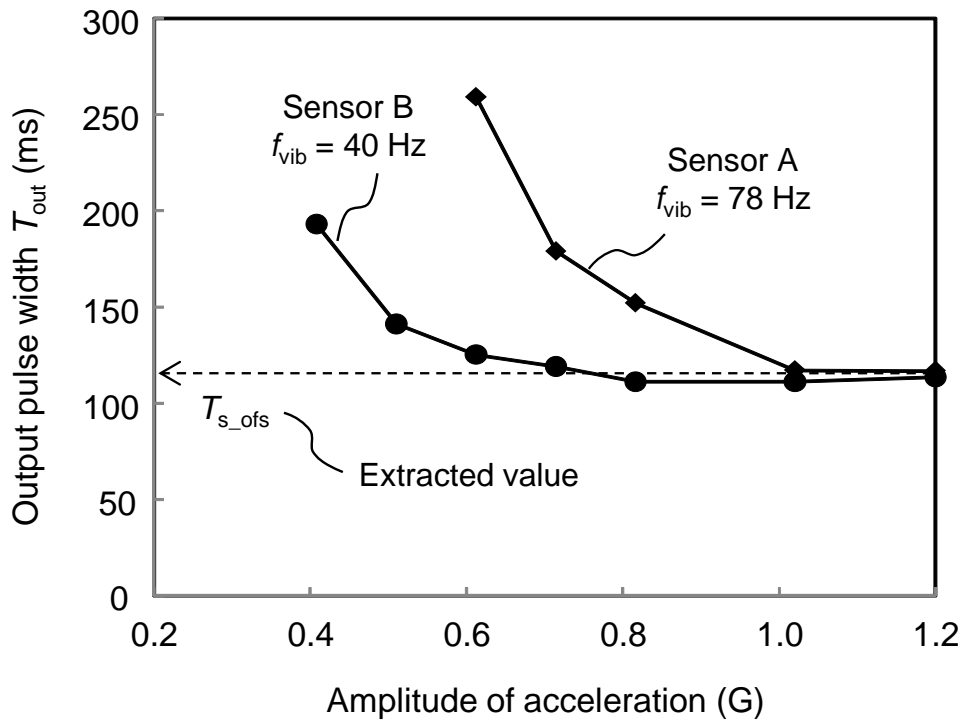


図18 振動センサを接続したセンサ回路の測定結果

かる。この飽和は、回路出力のオフセット T_{out_ofs} によるものであり、120 ms である。周波数依存性については、 f_{vib} が減少すると容量変化 ΔC_s が増加するため、加速度が一定の場合、 f_{vib} が減少すると T_{out} は減少する。今回の実験では、 a_{max} のダイナミックレンジはセンサAで0.4 G、センサBで0.6 Gであった。実使用においては、ユースケースに応じて共振周波数の異なる複数のセンサ[20]が用いられると考えられる。

(b) インパルス励起応答の検出

振動検知動作の測定波形を図19に示す。センサ回路は、振動センサの共振動作に対応した複数のパルスを出力している。可動体の変位を、減衰自由振動モデルに基づいて推定した。パルス間隔から得られる共振周波数は25 Hzであった。この値は、左下のグラフに示すように、振動センサ特性の測定結果と一致した。この結果から、信号遷移時間は40 ms以下であることが確認された。

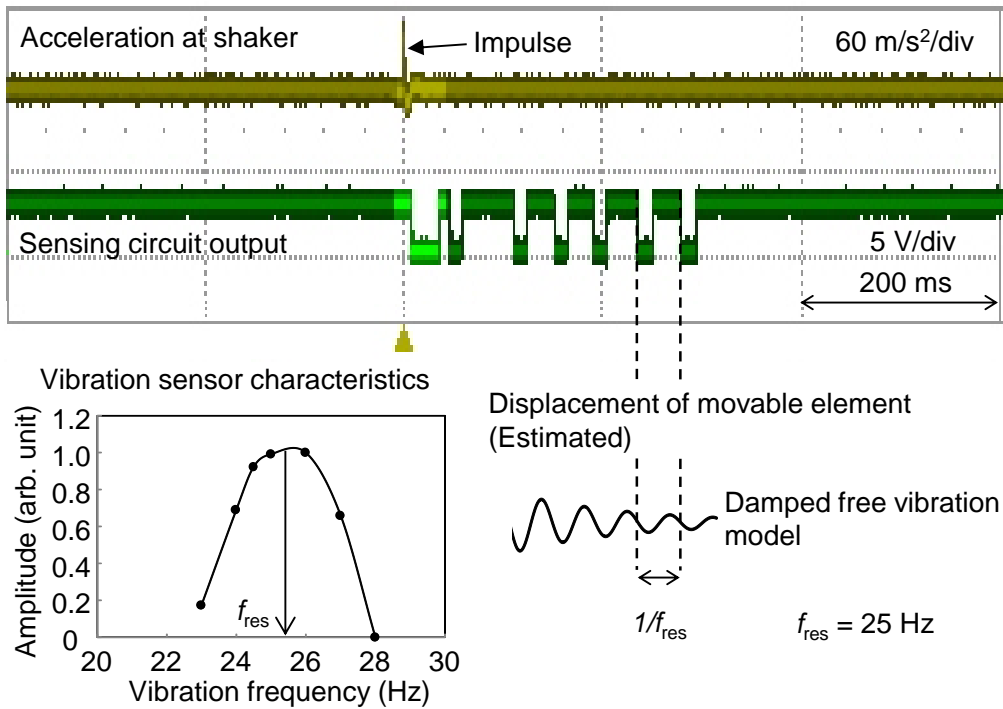
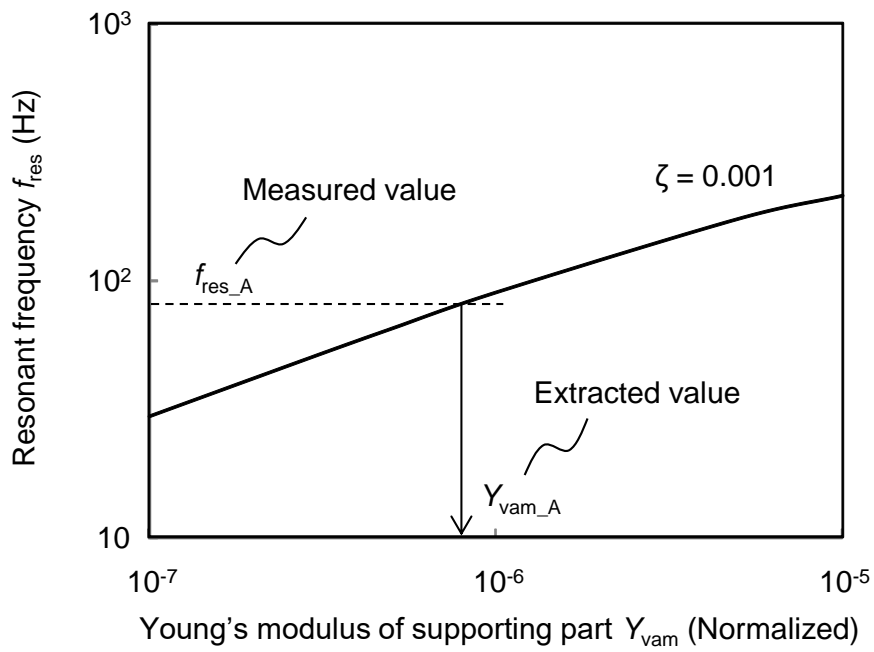


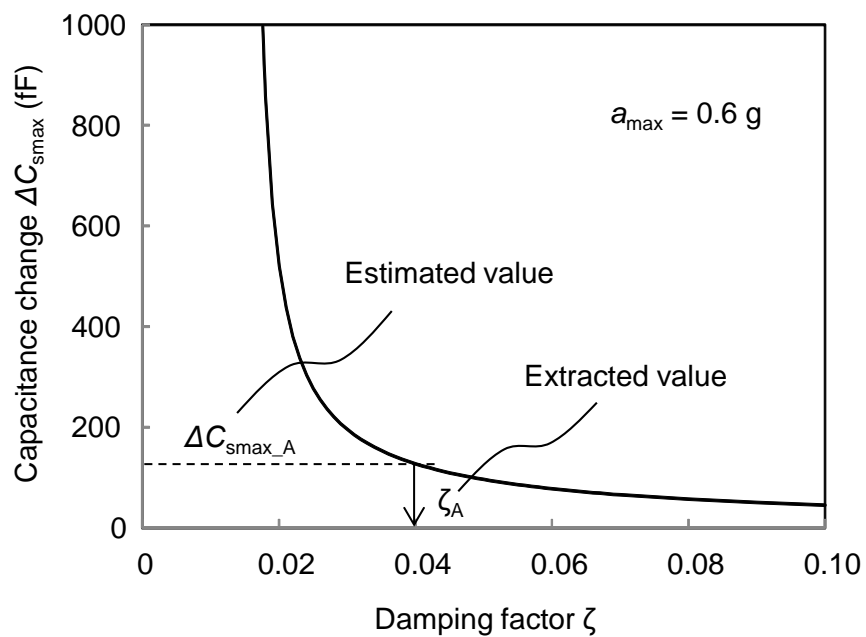
図19 インパルス励起応答の検出結果

6.7.3 パラメータ抽出

測定結果に基づいたヤング率 Y_{vam} と減衰係数 ζ の抽出について図20を用いて説明する。図20(a)に示すように、 Y_{vam} と共振周波数 f_{res} の関係は単調増加である。 Y_{vam} は、振動センサに用いた材料であるBeCuの値で正規化した。正規化された値が1の場合、VAMがない状態を指す。測定値 $f_{res,A}$ に基づいて、正規化された $Y_{vam,A}$ を 8.0×10^{-7} MPaと抽出した。抽出したヤング率の値は、一般的な軟質材料の値よりも小さいのは、実物の支持部を構造モデルにおいて小さなシートで表現したためである。 ζ と静電容量変化 ΔC_{smax} の関係は単調減少である[図20(b)]。 ΔC_{smax} は x_{max} から算出される。 ζ は f_{res} に対して変化しないため、容量変化の値から抽出できる。容量変化 $\Delta C_{smax,A}$ は、0.6 gの加速度で測定された回路出力 T_{out} からLTspiceシミュレーションを用いて推定した。 T_{out} には図15に示すオフセット値 T_{out_ofs} が含まれていることから、測定結果から抽出した T_{out_ofs} を T_{out} から差し引いた。 ζ_A は、推定した $\Delta C_{smax,A}$ から0.04と抽出した。このように、設計統合に使用する Y_{vam} と ζ を抽出した。



(a)



(b)

図20 振動センサモデルのパラメータ抽出
 (a) 支持部のヤング率 (b) 減衰係数

6.7.4 シミュレーション結果と測定結果の比較

抽出したパラメータを用いたシミュレーション結果と測定結果とを比較した結果を図21に示す。比較に適したグラフの軸について以下に説明する。1回の振動で転送される電荷が振動数($f_{\text{vib}} \times T_{\text{out}}$)に対して一定であると仮定すると、 $1/T_{\text{out}}$ は次式で与えられる。

$$\frac{1}{T_{\text{out}}} = \frac{(\Delta V_{D1} + \Delta V_{D2}) \cdot f_{\text{vib}} \cdot \Delta C_s}{C_I \cdot \Delta V_{\text{th}}} \quad (2)$$

ここで、 ΔV_{th} はVRPWコンバータの閾値回路の論理閾値電圧の差であり、 f_{vib} は振動周波数である。 $1/T_{\text{out}}$ は ΔC_s に対して線形性を持つため、縦軸を $1/T_{\text{out}}$ に設定することで比較が容易になる。測定結果を黒いドットで示し、LTspiceとFEMを用いたシミュレーションの結果を破線の白いドットで示す。正規化された $Y_{\text{vam_A}}$ と $Y_{\text{vam_B}}$ は、センサAとセンサBに対してそれぞれ 8.0×10^{-7} MPaと 2.8×10^{-7} MPaと得られた。減衰係数 ζ_A と ζ_B は、0.04と0.07と抽出された。シミュレーション結果に不連続性があるのに対して、測定結果は連続しているように見える。これは、可動体が瞬間的に電極に接触するためと考えられる。電気的な接触は、転送された電荷を減少させ、検出対象の容量の変化を減少させる。加速度が不連続となるよりも小さい領域では、シミュレーション結果は測定結果と一致しており、提案手法の妥当性を確認できる。

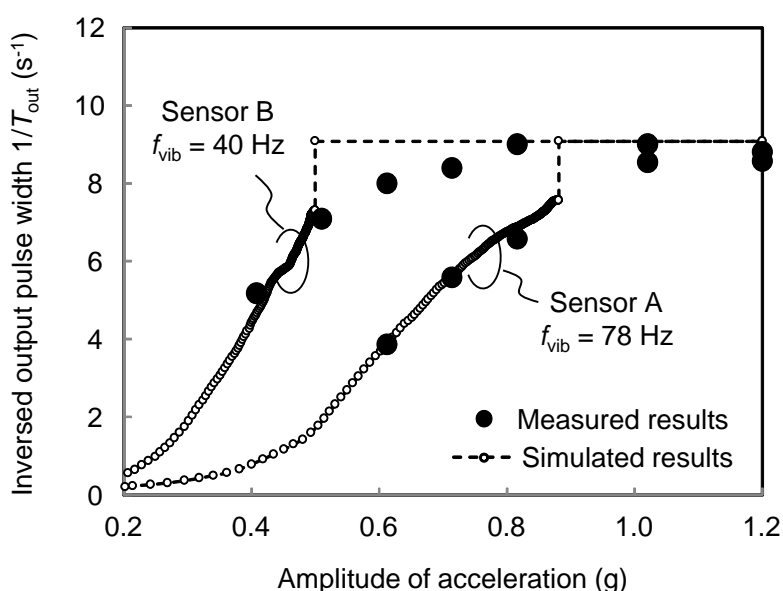
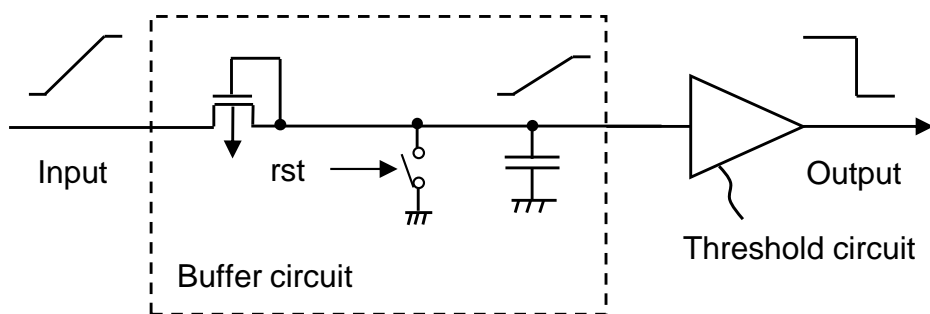


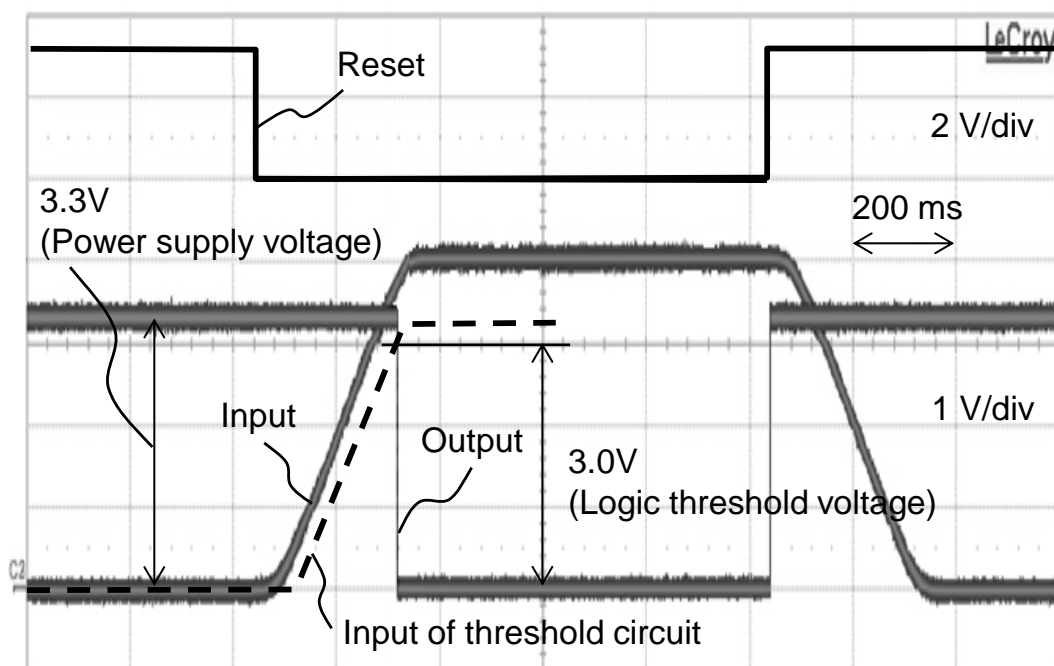
図21 測定結果とシミュレーション結果の比較

6.7.5 閾値動作

閾値動作を評価した結果を図22に示す。前段の回路の駆動力が弱い場合でも提案回路が正常に動作するか否かを確認するために、図22(a)に示すように、ダイオード接続されたPMOSFETとリセットスイッチからなるバッファ回路を用いた。チャタリン



(a)



(b)

図22 閾値回路動作の評価
(a)測定回路 (b)閾値動作波形

グに対する回路の安定性を評価するために、バッファ回路の入力信号にランプ信号を用いた。閾値動作の測定波形を図22(b)に示す。入力信号の傾きは20 mV/msに設定した。電源電圧は、バッファ回路を考慮して設計値の3.0 Vよりも高い3.3 Vに設定した。閾値動作は、信号遷移時にチャタリングすることなく実行されることが分かる。ダイオード接続されたPMOSTランジスタの閾値電圧は0.8 Vと測定されることから、閾値回路の入力電圧は、測定波形から閾値電圧を引くことによって得られる破線で示される。論理閾値電圧は3.0 Vと推定されることから、PMOSTランジスタの閾値電圧0.3 Vと一致する。この結果から、放電開始回路が原理に従って動作し、放電加速回路が電源電圧に近い論理閾値電圧を有することが分かる。

6.7.6 電源電流

CED回路の場合、電源電流は $(E_{\text{sens}} / T_{\text{int}} + P_{\text{wait}}) / V_{\text{DD}}$ で表される平均値である。ここで、 E_{sens} は振動検出に要する単位時間あたりのエネルギー、 P_{wait} は振動が発生しないときの消費電力、 T_{int} は時間間隔である。 E_{sens} は、4 pFの C_1 をリセットするために必要な電力から2 pJと推定される。 P_{wait} は電源が供給されない状態で電源電圧まで充電されたキャパシタを放電するのに必要とする時間を測定することによって得られ、0.62 nWと導出した。 T_{int} が3sの場合の平均電源電流は0.7 nAであった。IED回路に対しては、 T_{int} が1 sの条件で電源電流をフェムト/ピコアンメータを用いて2 nAと測定した。

6.8 性能解析

6.8.1 信号遷移時間の推定

閾値回路の電源電流を回路ブロック毎にシミュレーションした結果を図23に示す。シミュレーション条件は、測定条件と同じとした。CED回路の電源電流は、閾値回路に流れる電流(0.7 nA)がほぼ全体を占める。IED回路では、励起電荷検出回路と電流制限アンプの合計の電流が、閾値回路の電流と同じレベルとなる。閾値回路の電源電流は1 nAであった。

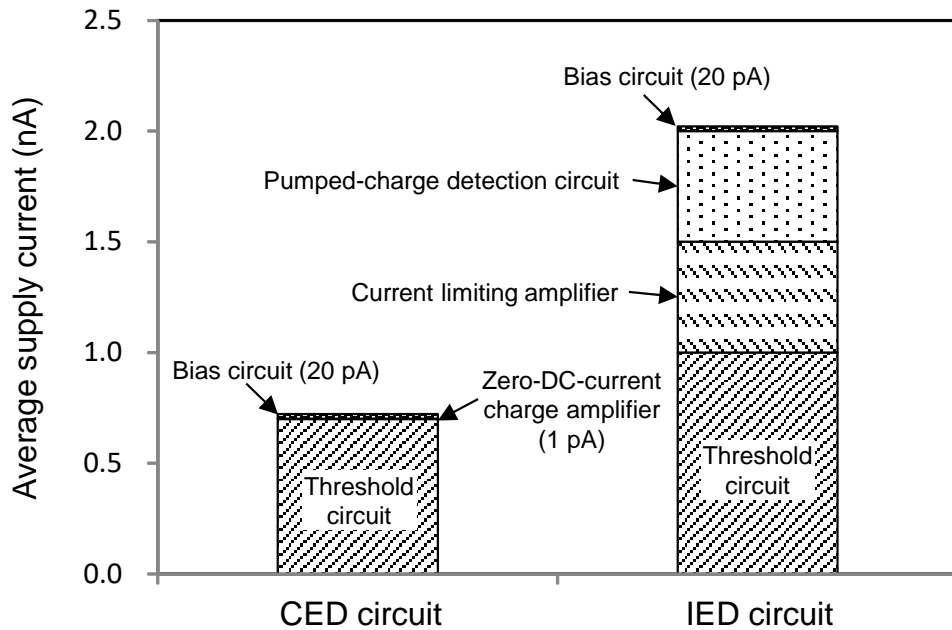


図23 回路ブロックの平均電源電流

閾値回路の平均電力 \bar{P} と時間間隔 T_{int} の関係を図24に示す。 \bar{P} を V_{DD} で正規化すると、次のように計算される。

$$\bar{P}/V_{DD} = \frac{\int I_{tran} \cdot V_{DD}}{T_{tran} + T_{int}} + I_{pull} \quad (3)$$

ここで、 $\int I_{tran}$ は信号遷移中の電流の積分であり、回路シミュレーションから導出される。電流制限トランジスタのゲート電圧を変化させると、様々な遷移時間でのプロットが得られる。電源電流の測定結果に対して、信号遷移時間 T_{tran} は、CED回路で $97 \mu s$ 、IED回路で $65 \mu s$ と導出された。これらの値を式(1)により検証した。 C_{load} はデバイスパラメータから $60 fF$ と算出された。 ΔV_{th} はシミュレーション結果より $0.9 V$ であった。これらの値を用いて式(1)で計算した T_{tran} は式(2)に基づく値と整合した。導出した T_{tran} の値は、目標値の $1 ms$ 以下であった。

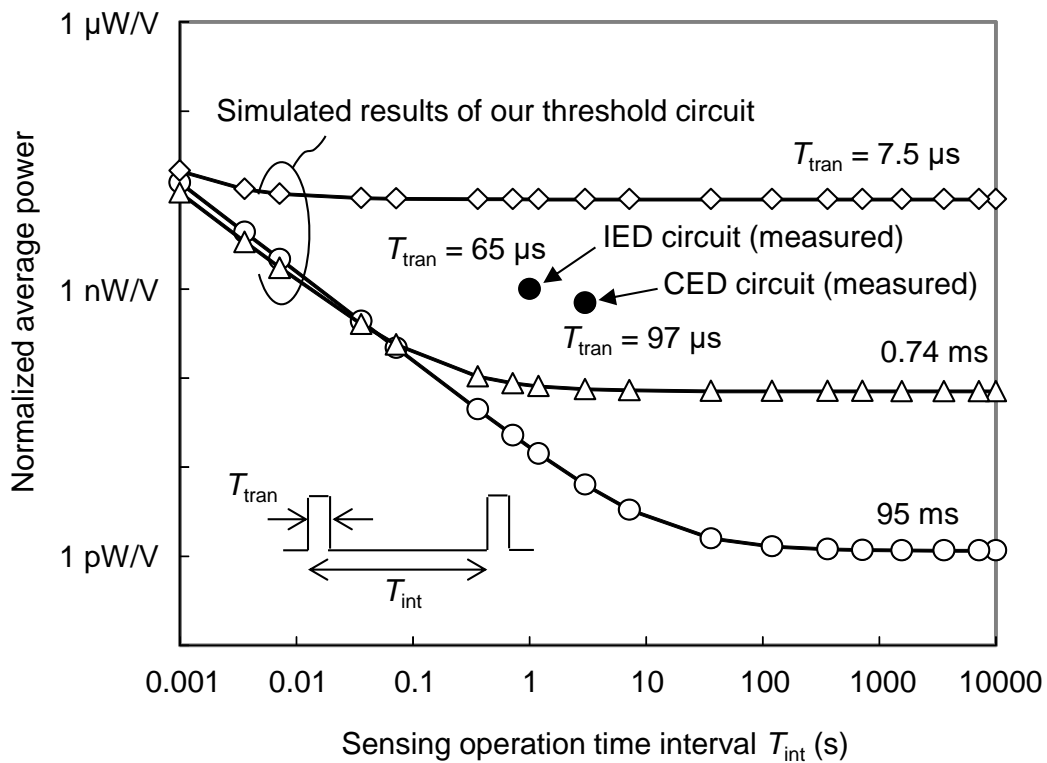


図24 平均電力に基づく信号遷移時間の推定

6.8.2 回路構成の効果

電力遅延積PDP (Power-delay Product)は、一般的にデジタル回路の効率を評価するのに用いられる。ここでは、平均消費電力と信号遷移時間の間のトレードオフがある提案回路の構成を評価するのに用いた。PDPは、プロセスノード L_{min} と電源電圧 V_{DD} で次のように正規化した。

$$PDP = \frac{\bar{P}}{L_{min}V_{DD}} \cdot T_{tran} \quad (4)$$

提案した振動センサ回路の消費電力は、閾値回路によってほぼ占められる。図25は、振動センサ回路としてのPDPに関して図14をプロットし直したものである。センサ回路の仕様を表1にまとめた。低ノイズの加速度センサ[21-22]の消費電力は少なくとも $1.2 \mu W$ [22]で、提案回路よりも高い時間分解能を扱う。環境センサ[11、23、24]やバイオメディカルセンサのインターフェース回路[13、25-27]に対しては、信号取得I

C [27]の消費電力が3 nWであるが、提案回路よりも扱う時間分解能は低い。クロック信号を伴って動作するこれらの回路について、クロック周波数の逆数に等しい T_{int} で図25にプロットした。機能ブロックは回路毎に異なるが、デジタル動作とアナログ動作の比率はほとんど変化しないと仮定すると、これらのプロットは、回路構成の効果を把握するのに役立つ。提案回路はクロック信号の生成を必要とせず、時間分解能を確保しながら時間間隔を長くすると平均電力は減少する。 T_{tran} を75 μ sに設定した条件では、 T_{int} が1 sでのPDPは、 T_{tran} に等しい T_{int} (連続動作)におけるPDPの1/150である。このことは、提案回路の構成が、1 sを超える時間間隔のセンシング動作の条件において、連続動作時の消費電力の1/150にできることを意味している。このように、提案回路は高い時間分解能と長い時間間隔を必要とするアプリケーションに適する。

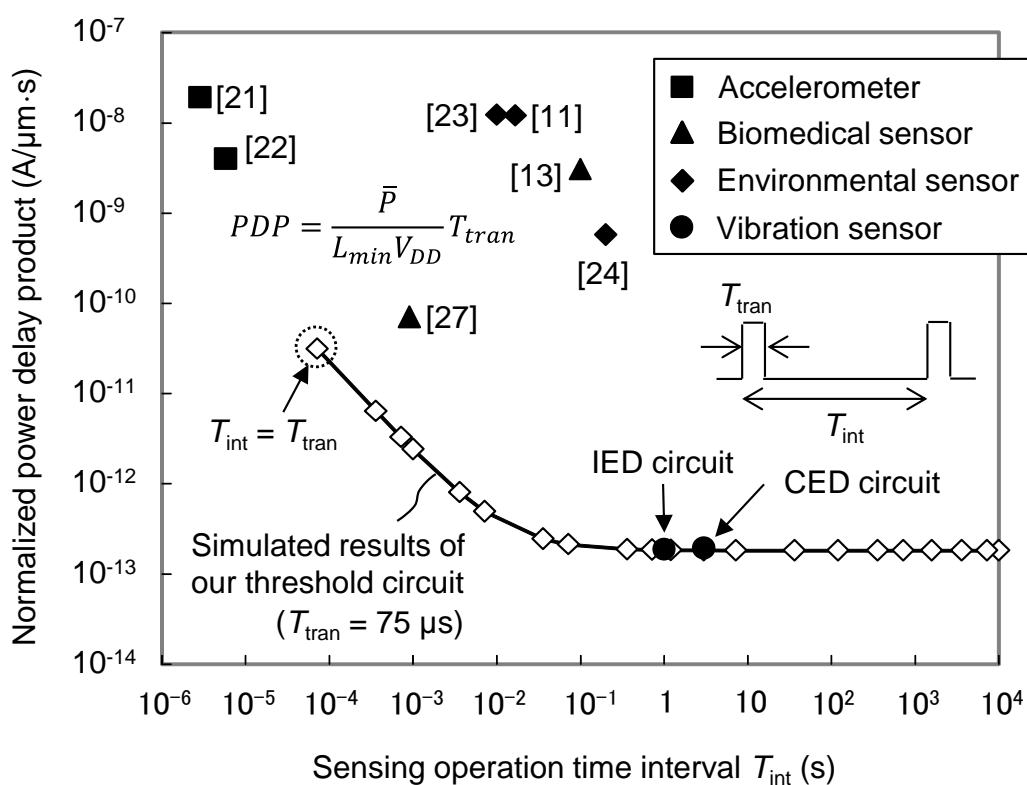


図25 提案した閾値回路構成の効果

表1 センサ回路の仕様

Sensor	Vibration	Accelerometer		Environmental			Biomedical	
Ref. no.	This work	[21]	[22]	[11]	[23]	[24]	[13]	[27]
Process (μm)	0.35	0.35	0.35	0.18	0.18	0.35	0.065	0.065
VDD (V)	1-3	1.5	2.5	1	1	1	0.6	0.6
Power (nW)	0.7-3	3.5E6	1.2E6	130	220	1	1.2	3
Time resolution (μs)	65-97	2.9	5.8	17E3	10E3	20E3	10E3	909

6.9 本章のまとめ

CMOS-MEMSインターフェースの未知パラメータ抽出モデリング技術として、MEMS振動センサが振動検出時に可動体に生じる運動エネルギーを利用することで電力を消費せずにメカニカルに電荷を転送する振動検出手法について述べ、検出感度を向上させる振動増幅機構を伴う振動センサとセンサ回路の設計統合手法と、振動センサ回路をナノワット以下の電力でクロック信号を用いずに常時動作させるために、入力電圧によらず貫通電流をナノアンペア以下に制限する閾値回路を提案した。

設計統合手法について、振動センサの共振周波数を調整するための振動増幅機構をFEMシミュレーションにおいて2つのパラメータで単純化したモデルで表現し、2つのパラメータが互いに独立であることを利用して、回路シミュレーションとFEMシミュレーションの組み合わせにより1点の測定データから振動増幅機構のパラメータを抽出できることを示した。閾値回路について、負荷容量の放電電流を制限する放電制御トランジスタと放電時間を短縮する放電加速回路を並列に接続した構成とすることで、放電電流を制限しても遷移時間を短縮できるようにした。電流安定化回路により電流制限に伴うチャタリングを抑制した。放電制御トランジスタに参照電圧生成回路を追加することで、放電電流を1nAに制限してもターゲットとする遅延時間1 msを満たすことを解析的に示した。

提案回路を用いて、連続励振用とインパルス励振用の振動センサ回路2種を搭載したテストチップを0.35 μm CMOSプロセスを用いて作製した。25-78 Hzの共振周波数を有する振動センサを用いて振動を検出する動作を確認した。抽出した振動増幅機構のパラメータを用いたシミュレーション結果が測定結果の全領域で一致することから提案手法の妥当性を示し、振動増幅機構を含めた振動センサを設計するためのモデルを取得した。連続励振用センサ回路の消費電流は0.7 nAで、閾値回路の遅延時間は100 ms以下であり、インパルス励振用センサ回路の消費電流は2 nAで、閾値回路の遅延時間は40 ms以下であることを確認した。消費電流の測定値から回路シミュレーションにより閾値回路の遅延時間をそれぞれ97 μs 、65 μs と推定し、閾値回路が検出可能な信号変化の限界を把握した。

提案した設計統合手法は、評価のために複雑な混合構造のセンサを接続する必要があるセンサ回路の設計に有効であり、提案回路は、検出動作の時間間隔と消費エネルギー効率を示す指標である電力遅延積の関係において、時間間隔1sの条件で、連続動作に対して電力遅延積が1/150に低減することを示し、負荷容量の充放電よりもDCバイアス電流が支配的となるIoTデバイスに適すると結論づけた。

第 6 章参考文献

- [1] Leonard Meirovitch, "Elements of vibration analysis," McGraw-Hill College, 1986.
- [2] T. Nagayama and B. F. Spencer, Jr., "Structural Health Monitoring using Smart Sensors," NSEL Report Series No. NSEL-001, 2007.
- [3] J. Windau and L. Itti., "Inertial Machine Monitoring System for automated failure detection," in proc. of IEEE ICRA, pp. 93-98, 2018.
- [4] W. Weber et al., "Ambient Intelligence," Springer, 2005.
- [5] S. Roundy et al., "Energy Scavenging for Wireless Sensor Networks," Kluwer Academic Publishers, pp. 22, 2004.
- [6] T. Shimamura, M. Ugajin, K. Suzuki, K. Ono, N. Sato, K. Kuwabara, H. Morimura, S. Mutoh, "Nano-watt Power Management and Vibration Sensing on a Dust-Size Batteryless Sensor Node for Ambient Intelligence Applications," ISSCC Dig. Tech. Papers, pp. 504-505, 2010.
- [7] R. Inoue, "Development of vibration energy harvester using building equipment," AIJ J. Technol. Des. vol. 21, pp. 1097-1100, 2015.
- [8] T. Konishi, D. Yamane, T. Matsushima, K. Masu, K. Machida, and H. Toshiyoshi, "A capacitive CMOS-MEMS sensor designed by multi-physics simulator for integrated CMOS-MEMS technology," Jpn. J. Appl. Phys. vol. 53, 04EE15, 2014.
- [9] T. Shimamura, M. Ugajin, K. Suzuki, K. Ono, N. Sato, K. Kuwabara, H. Morimura, S. Mutoh, "Nano-watt Power Management and Vibration Sensing on a Dust-Size Batteryless Sensor Node for Ambient Intelligence Applications," ISSCC Dig. Tech. Papers, pp. 695-697, 2010.
- [10] T. Shimamura, M. Ugajin, K. Kuwabara, K. Takagahara, K. Suzuki, H. Morimura, M. Harada, and S. Mutoh, "MEMS-Switch-Based Power Management with Zero-Power Voltage Monitoring for Energy Accumulation Architecture on Dust-Size Wireless Sensor Node," Symp. VLSI Circuits Dig. Tech. Papers, pp. 276-277, 2011.
- [11] M. M. Ghanbari, J. M. Tsai, A. Nirmalathas, R. Muller, and S. Gambini, "An Energy-Efficient Miniaturized Intracranial Pressure Monitoring System," IEEE J. Solid-State Circuits, vol. 52, no. 3, pp. 720-734, 2017.
- [12] T. Wang, H. Li, Z. Ma, Y. Huang, and S. Peng, "A Bypass-Switching SAR ADC With a Dynamic Proximity Comparator for Biomedical Applications," IEEE J. Solid-State Circuits, vol. 53, no. 6, pp. 1743-1754, 2018.
- [13] H. Wang, X. Wang, A. Barfidokht, J. Park, J. Wang, and P. Mercier, "A

- Battery-Powered Wireless Ion Sensing System Consuming 5.5 nW of Average Power," *IEEE J Solid-State Circuits*, vol. 53, no. 7, pp. 2043–2053, 2018.
- [14] T. Shimamura, H. Morimura, K. Kuwabara, N. Sato, J. Terada, M. Ugajin, S. Shigematsu, K. Machida, "A Capacitive Sensing Scheme for Control of Movable Element with Complementary Metal-Oxide-Semiconductor Microelectromechanical-Systems Device," *J. Appl. Phys.* vol. 47 pp. 3418–3422, 2008.
- [15] P. Bruschi, N. Nizza, and M. Dei, "A low-power capacitance to pulse width converter for MEMS interfacing," in *proc. of ESSCIRC*, Edinburgh, UK, pp. 446–449, 2008.
- [16] S. Roundy et al., "Energy Scavenging for Wireless Sensor Networks," Kluwer Academic Publishers, pp. 22, 2004.
- [17] H. Morimura, T. Shimamura, K. Fujii, S. Shigematsu, Y. Okazaki, K. Machida, "A zero-sink-current Schmitt trigger and window-flexible counting circuit for fingerprint sensor/identifier," *ISSCC Dig. Tech. Papers*, pp.122–517, 2004.
- [18] M. Ugajin, T. Shimamura, S. Mutoh, M. Harada, "Design and Performance of a Sub-Nano-Ampere Two-Stage Power Management Circuit in 0.35- μ m CMOS for Dust-Size Sensor Nodes," *IEICE Trans. Electron.*, vol. E94-C, no. 7, pp. 1206–1211, 2011.
- [19] K. Suzuki, M. Ugajin, M. Harada, "A 1-Mbps 1.6- μ W Active-RFID CMOS LSI for the 300-MHz Frequency Band with an All-Digital RF Transmitting Scheme," *IEICE Trans. Electron.*, vol. E94-C, no. 6, pp. 1084–1090, 2011.
- [20] T. Konishi, D. Yamane, T. Matsushima, K. Masu, K. Machida, and H. Toshiyoshi, "An arrayed accelerometer device of a wide range of detection for integrated CMOS-MEMS technology," *Jpn. J. Appl. Phys.* vol. 53, no.2 027202, 2014.
- [21] Y. Zhao, J. Zhao, Xi. Wang, G. M. Xia, A. P. Qiu, Y. Su, and Y. P. Xu, "A Sub- μ g Bias-Instability MEMS Oscillating Accelerometer With an Ultra-Low-Noise Read-Out Circuit in CMOS," *J. Solid-State Circuits*, vol. 50, no. 9, pp.2113–2126, 2015.
- [22] Y. M. Wang, P. K. Chan, H. K. H. Li, and S. Ong, "A Low-Power Highly Sensitive Capacitive Accelerometer IC Using Auto-Zero Time-Multiplexed Differential Technique," *IEEE Sensor J.*, vol. 15, no. 11, pp.6179–6191, 2015.
- [23] Y. S. Lin, D. Sylvester, and D. Blaauw, "An Ultra Low Power 1 V, 220 nW Temperature Sensor for Passive Wireless Applications," *proc. CICC*, pp.507–510, 2008.
- [24] P. Ituero, J. L. Ayala, and M. L. Vallejo, "A Nanowatt Smart Temperature Sensor

- for Dynamic Thermal Management," IEEE Sensors J. vol.8, no. 12, pp.2036–2043, 2008.
- [25] V. S. L. Cheung, and H. C. Luong, "A 0.9V 0.5 μ W CMOS Single-Switched-Op-amp Signal-Conditioning System for Pacemaker Applications," ISSCC Dig. Tech. Papers, pp. 408–503, 2003.
- [26] X. Zou, X. Xu, L. Yao, Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," IEEE J. Solid-State Circuits, vol. 44, pp. 1067–1077, 2009.
- [27] P. Harpe, H. Gao, R. v. Dommele, E. Cantatore, and A. H. M. v. Roermund, "A 0.20 mm² 3 nW Signal Acquisition IC for Miniature Sensor Nodes in 65 nm CMOS," IEEE J. Solid-State Circuits, vol.51, no. 1, pp.240–248, 2016.

第7章

容量周波数特性の計測機能を有する

表面形状認識センサLSI

7.1 はじめに

小型のユーザ識別システム向けに指の表面形状を認識する静電容量型の指紋センサチップが開発されている[1-2]。より高いレベルのセキュリティを必要とするシステムの場合、指紋センサには、検出対象の指が本物かどうかを判断できるなりすまし防止機能が求められる。指に関する情報として、電氣的、弾性的、光学的特性などを使用する様々な方法が報告されている[3-5]。偽造指のインピーダンスは本物の指のインピーダンスとは異なることが報告されている[6]。本物の指は、皮膚インピーダンスの周波数依存性に基づいて偽造指と区別される。インピーダンス検出は電気信号のみを扱い、光学レンズなどの外付け部品を必要としない。そのため、インピーダンス検出を用いたなりすまし防止機能は、静電容量型の指紋センサに適している。筆者は、図1に示すような容量周波数特性を計測するインピーダンス検出機能を内蔵した指紋センサLSIを初めて実証した[7]。指紋センサ回路は、相補型金属酸化膜半導体CMOS回路チップにアレイ状に配置される。指紋センサプレートは、各指紋センサ回路に接続される。指紋画像は、センサプレートと指の表面の間に形成された静電容量を検出することによって取得される。インピーダンス検出回路は、指紋センサ回路のピクセルを置き換える形で配置される。インピーダンス検出用の電極は、指紋センサプレートと一体化される。インピーダンス検出用の一方の電極はインピーダンス検出回路に接続され、もう一方の電極は接地される。この回路は、2つの電極間に形成されるインピーダンスを検出する。インピーダンスのデータと指紋画像のデータの両方がチップから出力される。インピーダンスデータはソフトウェアによって分析される。なりすましの検出は、インピーダンスの周波数依存性が皮膚インピーダンスの周波数依存性と一致するかどうかを判定することによって実行される。このセンサチップにおいて、インピーダンス検出回路の面積は指紋センサ回路と同じくらい小さくすることが求められる。インピーダンス検出用の電極は、取得された指紋画像の品質に影響を与えないようにする必要があり。さらに、インピーダンスの検出可能な範囲は、湿潤や乾燥といった様々な指の表面状態をカバーする必要がある。

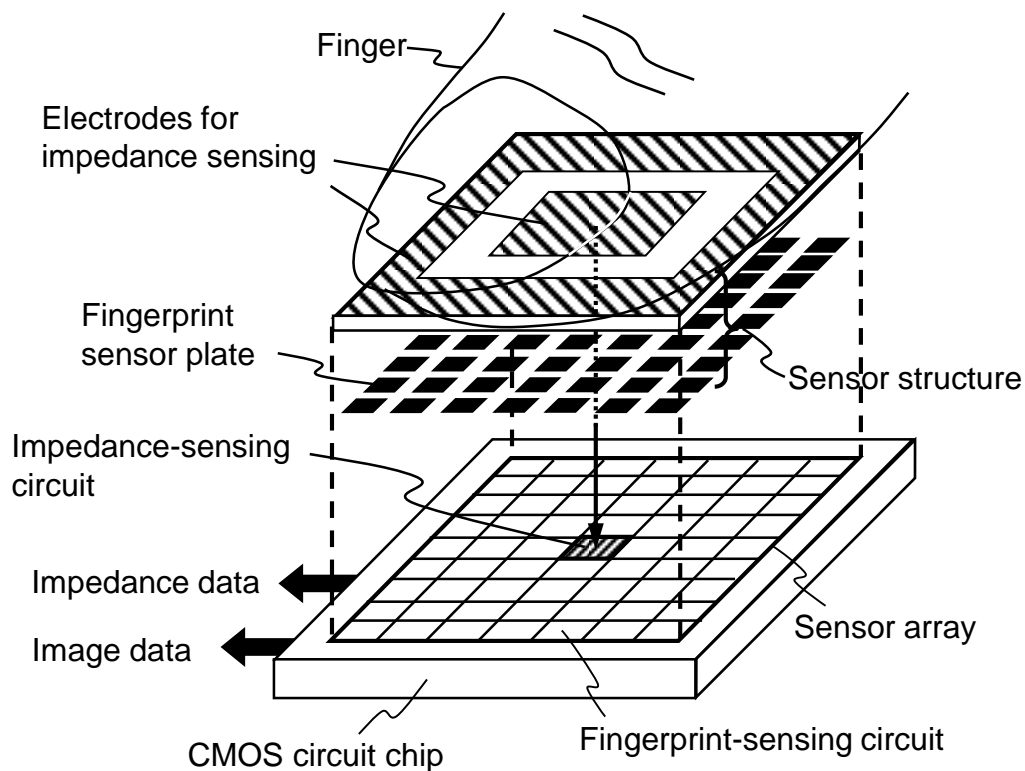


図1 インピーダンス検出機能を内蔵した指紋センサLSI

本章では、容量センシング高感度化のためのCMOS-MEMSインターフェースについて、第3-5章で述べた寄生素子補償回路技術、第6章で述べた未知パラメータ抽出モデリング技術をベースに、異種センサー一体化レイアウト技術を加えた応用技術として、被検体の表面形状としての指紋と、容量の周波数特性としての皮膚インピーダンスを同時に測定するLSIについて説明する。7.2節では第5章の寄生素子補償回路技術を用いた異種センサー一体化レイアウト技術として、インピーダンス検出回路をセンサチップに集積化する方法について説明する。7.3節では未知パラメータ抽出モデリング技術として、回路シミュレーションに用いる指が置かれた状態の電極モデルのパラメータ抽出方法について説明し、7.4節では、本研究の応用技術として、提案回路を搭載したテストチップの実験結果を示し、インピーダンス検出特性について述べる。

7.2 容量周波数特性計測機能と表面形状認識機能の一体化レイアウト手法

容量周波数特性を計測するインピーダンス検出用の回路と電極を、表面形状を認識する指紋センサLSIに集積化する異種センサー一体化レイアウト手法について述べる。インピーダンス検出機能を備えた静電容量型指紋センサの構造を図2に示す。指紋センサの構造体が、CMOS回路に積層されている。指紋センシングでは、指紋センサ

プレートとGND (Grounded) 壁を用いて画像が取得される[14]。指紋センサプレートはパッシベーション膜で被覆される。GND壁の上部は、指の表面に電氣的に接触するように露出している。不正検知電極にはGND壁を利用したグリッド型の電極を採用した。不正検知電極は指紋センサプレートを避け、それらの周りに配置される。これにより、センサアレイ全体の画像取得が可能となる。インピーダンス検出用のための接地電極にもGND壁を用いる。不正検知電極は、GND壁のないスペースによって接地電極から分離されている。不正検知電極は、インピーダンス検出の動作中を除いて、常にMOSFETのスイッチによって接地される。これにより、指の表面電位を安定させるこ

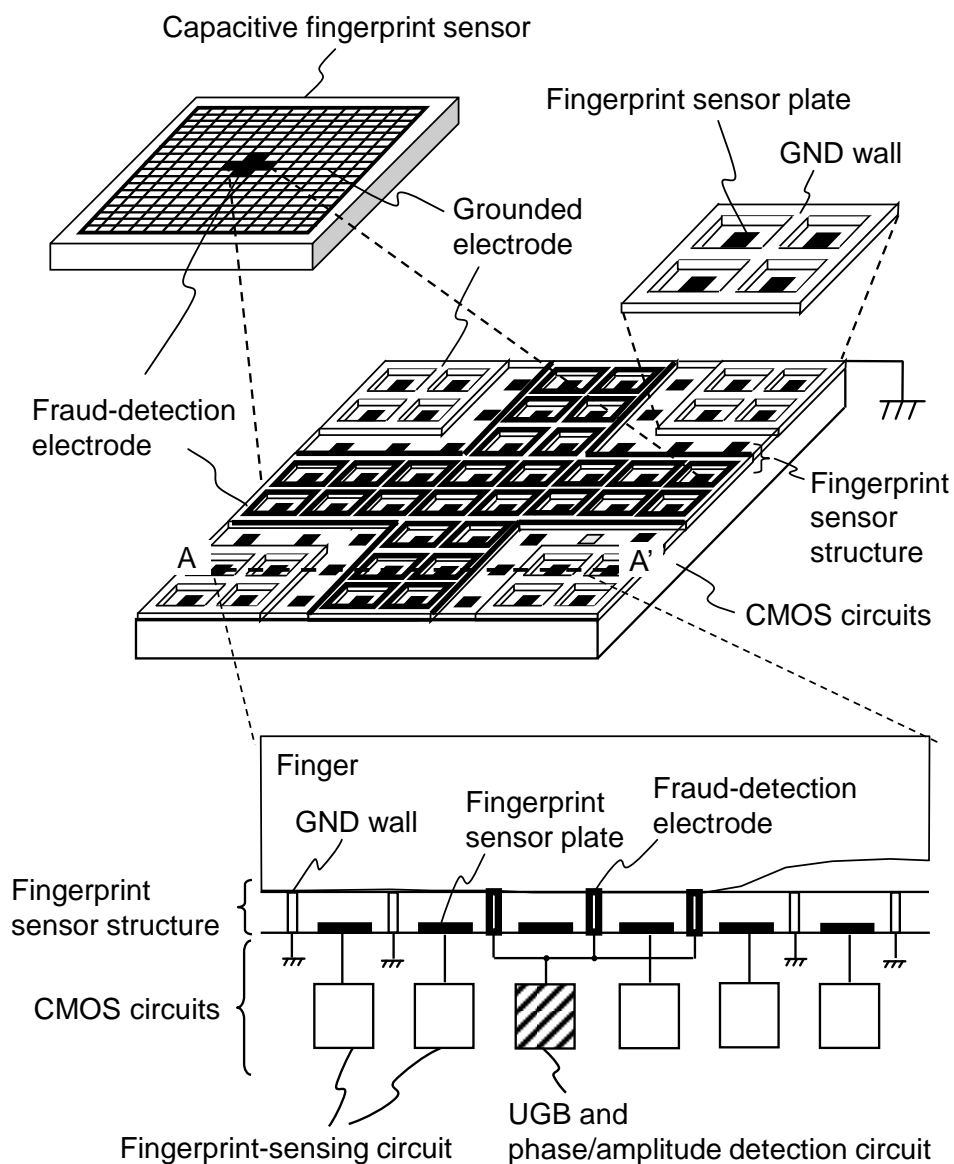


図2 不正検知電極と指紋センサプレートの共通化パターン構造

とができ鮮明な画像を取得できるというメリットがある。インピーダンス検出回路を構成するUGB(Unity gain buffer)および位相/振幅検出回路は、断面図で示すように、指紋センシングのためのピクセルを置き換えることにより配置される。この回路は、不正検知電極と接地電極との間に形成される指のインピーダンスを検出する。

インピーダンス検出用の信号線について図3に示すCMOS回路のブロック図を用いて説明する。回路は、コントローラ、センサアレイ、ADC、およびレジスタの機能を有する。インピーダンス検出のために、三角波発生器、UGB、位相/振幅検出回路、データ変換器が追加される。三角波発生器はセンサアレイの外側に配置される。発生器からの信号は、センサアレイ内のUGBに送られる。位相/振幅検出回路は、 Z_f に依存する検出信号をセンサアレイ外の配置されたデータ変換器に出力する。インピーダンス検出用の位相/振幅検出回路の出力をPWM信号とし、三角波発生回路とデータ変換器をセンサアレイ外に配置したことで、インピーダンス検出と指紋センシングで、制御線とデータ線を共有化させた。データ変換器は、検出信号をデジタルデータとして出力する。インピーダンスのデータは、セレクタを介してレジスタから出力される。制御線とデータ線を共有することにより、インピーダンス検出用の信号線の追加が不要となる。このように、インピーダンス検出機能は、チップサイズを増加させることなく集積化される。

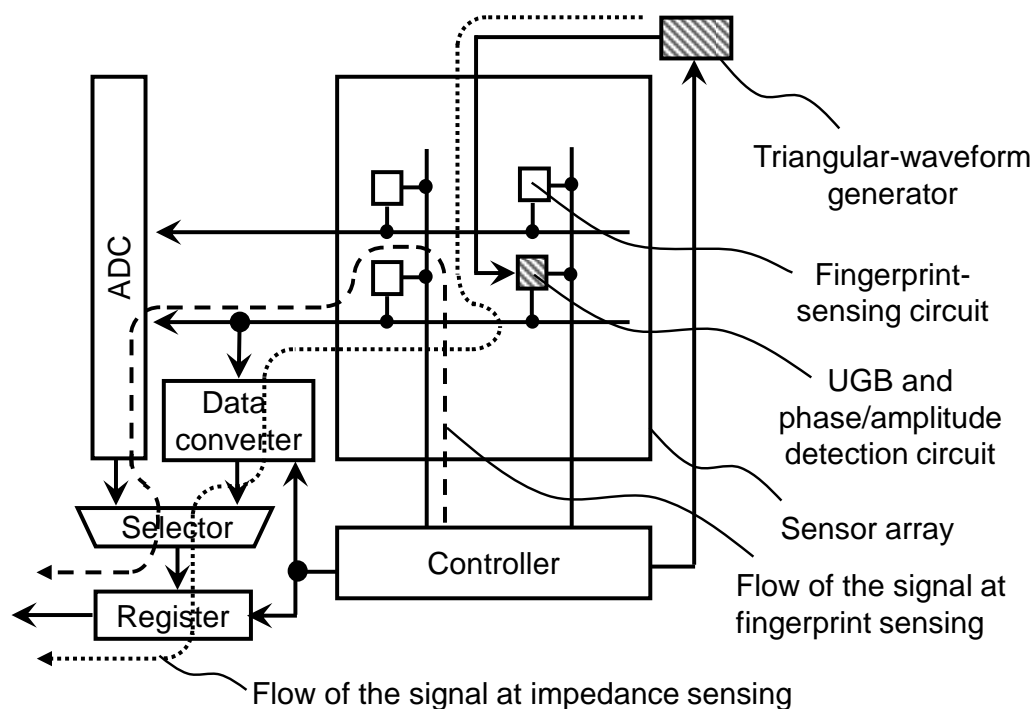


図3 インピーダンス検出回路と指紋センサ回路の信号線共通化

7.3 合成構造を有する電極モデルのための未知パラメータ抽出モデリング手法

容量の周波数特性として指のインピーダンスを形成するための不正検知電極の設計方法について述べる。指の表面状態として乾燥指から湿潤指まで考慮する必要がある、不正検知電極の設計によりインピーダンス検出回路の検出可能な範囲に適合させることが重要となる。回路シミュレーションには、周波数特性まで考慮した不正検知電極のビヘイビアモデルが必要となる。本物の指は表皮層と真皮層で形成され、複数の材質で構成される合成構造を有する。そのため、ビヘイビアモデルを、FEMシミュレーションで生成することは困難である。

本物の指を考慮した不正検知電極の実用的なFEMモデルを得るために用いたモデリング手法について図4を用いて説明する。指の等価回路モデルは、抵抗素子 R_{H} と容量素子 C_{H} の並列接続で与えられる。インピーダンス検出においては、 C_{H} の周波数特性を考慮する必要があるため、FEMモデルに設定する材料定数として複素誘電率 ε^* を導入する。 ε^* は実数部 ε' 、虚数部 ε'' として式(1)で定義される。

$$\varepsilon^* = \varepsilon' - j\varepsilon'' \quad (1)$$

虚数部に対応した材料定数として誘電損失 $\tan \delta$ が用いられ、式(2)で与えられる。

$$\tan \delta = \frac{\varepsilon''}{\varepsilon'} \quad (2)$$

R_{H} に対応する材料定数は導電率 σ であり、電極モデルのパラメータとして、 ε 、 σ 、 $\tan \delta$ に集約される。

パラメータ抽出のフローについて説明する。まず、FEMシミュレーションに用いる構造モデルにおいて、測定時に印加される電圧信号に対応した電界が設定される。この値を用いてFEMシミュレータにより、指が置かれた状態の電極のSパラメータを得る。得られたSパラメータから回路を解析するSPICEシミュレータのビヘイビアモデルを構成する素子要素のパラメータが算出され、SPICEのネットリストが作成される。このネットリストを用いたSPICEシミュレーションにより検出回路の出力が得られる。シミュレーション結果を測定結果と比較し、シミュレーションと測定が整合するまで別の値に入れ替えることにより、 ε 、 σ 、 $\tan \delta$ が抽出される。

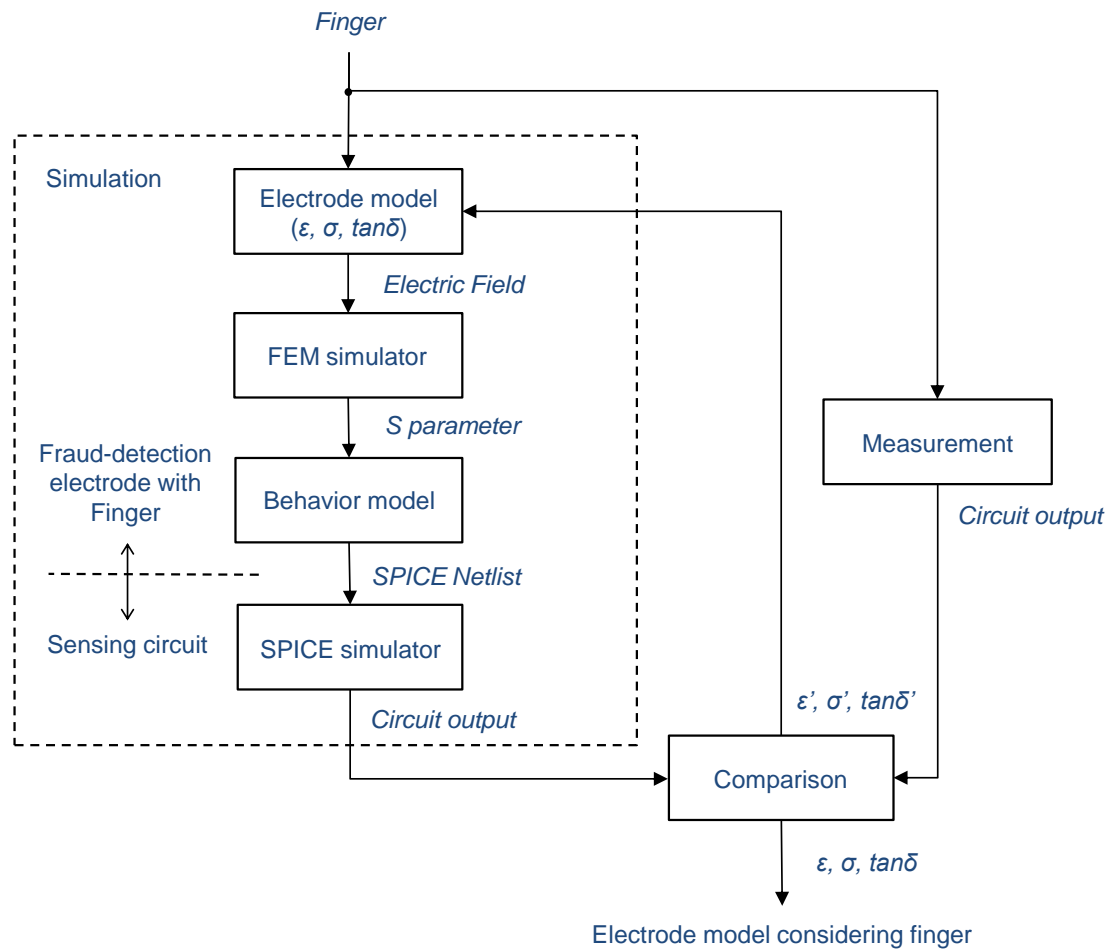


図4 合成構造を有する電極モデルのパラメータ抽出フロー

7.4 実験結果

提案回路の効果を検証するために、 $0.5 \mu\text{m}$ CMOSおよびセンサプロセス[8]を使用して作製したテストチップの顕微鏡写真を図5に示す。チップサイズは $13 \times 16 \text{ mm}^2$ 、センサアレイの面積は $11.2 \times 12.8 \text{ mm}^2$ である。不正検知電極はセンサアレイの左側に配置した。図2に示すようにインピーダンスを形成する2つの電極の内、提案したインピーダンス検出回路に接続される電極は1つである。これにより、不正検知電極の面積が接地電極の面積よりも十分に小さくすることで、静電放電(ESD)を接地電極に逃がすことができる。さらに、接地電極にESDを逃がしやすくするために、電極の形状を十字型とした。十字形の面積は正方形の面積よりも小さいのに対して、周囲長は変化しない。すなわち、インピーダンス検出の感度を低下させることなく、面積を減らすことができる。十字のアームの長さは $1800 \mu\text{m}$ 、幅は $400 \mu\text{m}$ である。不

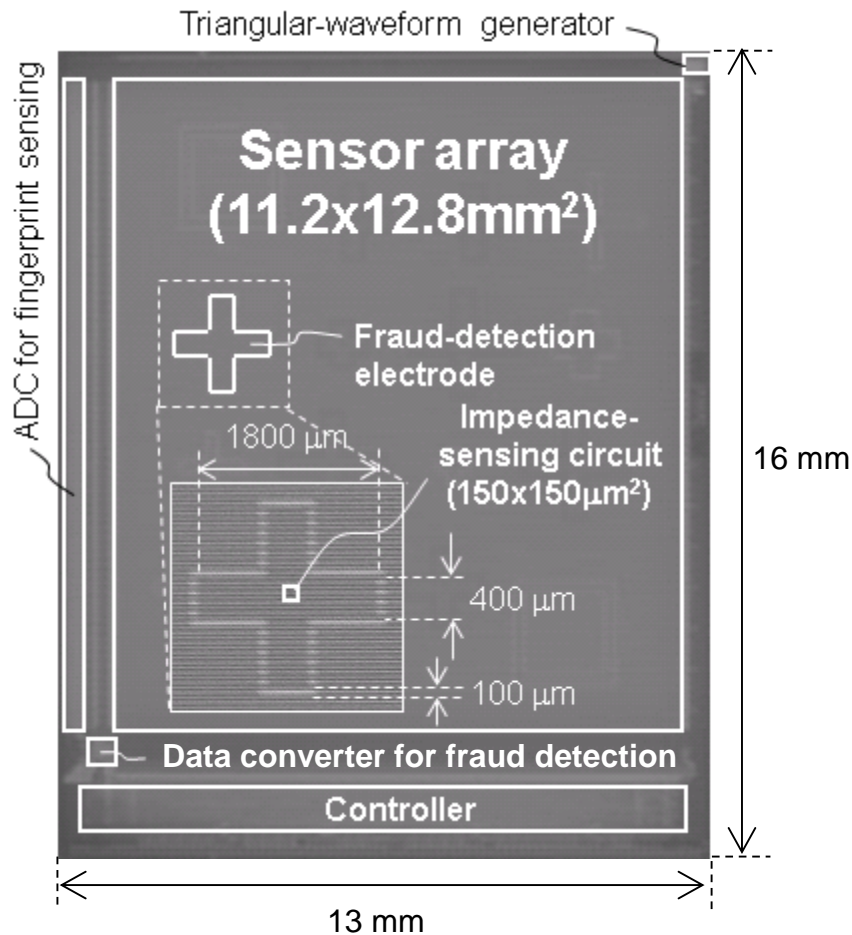


図5 テストチップの顕微鏡写真

正検知電極と接地電極の間のスペースは100 μm である。インピーダンス検出回路は不正検知電極の下にあり、面積は150 x 150 μm^2 である。三角波発生器と不正検知用のデータ変換器は、センサアレイの周辺回路内に配置した。電源電圧は3.3 Vである。

チップの仕様を表 1 に示す。指紋センサ回路の面積は50 μm 角であり、密度は508 dpiである。電源電圧は3.3 Vである。

静電容量型指紋センサに不正検知電極を追加した影響を、図6に示すように取得画質の観点から評価した。指紋センサプレートの寄生容量は、不正検知電極に近接したセンサプレートとは異なり、画質に影響を与える。開発した静電容量型指紋センサ

表1 チップ緒言

Process	0.5- μm CMOS & sensor process
Chip size	13 mm x 16 mm
Sensor array	11.2 mm x 12.8 mm
Fingerprint-sensing circuit	50- μm square (508 dpi)
Impedance-sensing circuit	150- μm square
Supply voltage	3.3 V

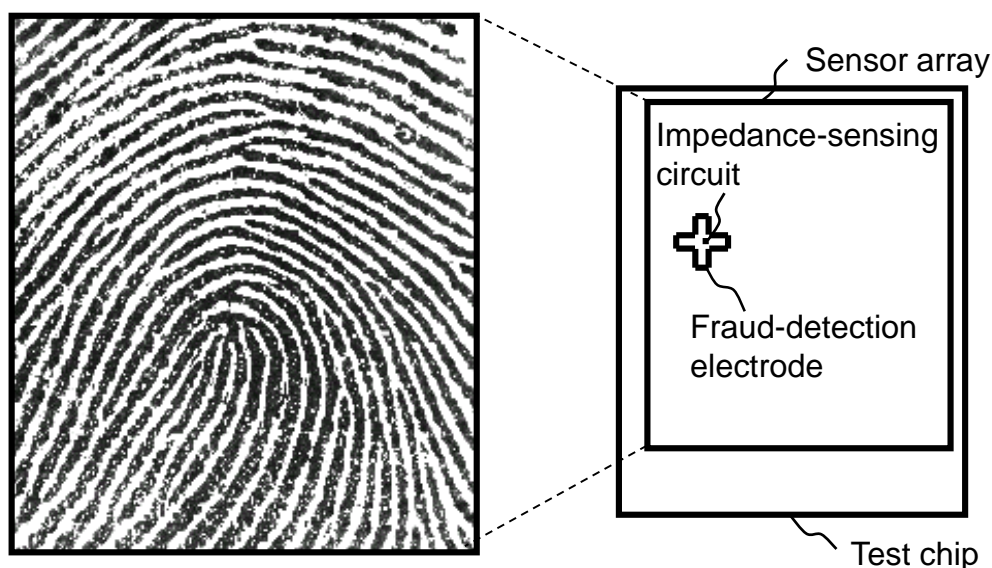


図6 不正検知電極を搭載した条件で取得された指紋画像

は、ピクセルレベルでキャリブレーションを行う機能を有する[9]。この機能により、寄生容量のバラツキが補正される。通常の指紋センシングの動作と同様に、画像が取得される前にピクセルレベルでキャリブレーションが実行される。これにより、クリアな画像を取得でき、インピーダンス検出回路の影響はないことが分かる。

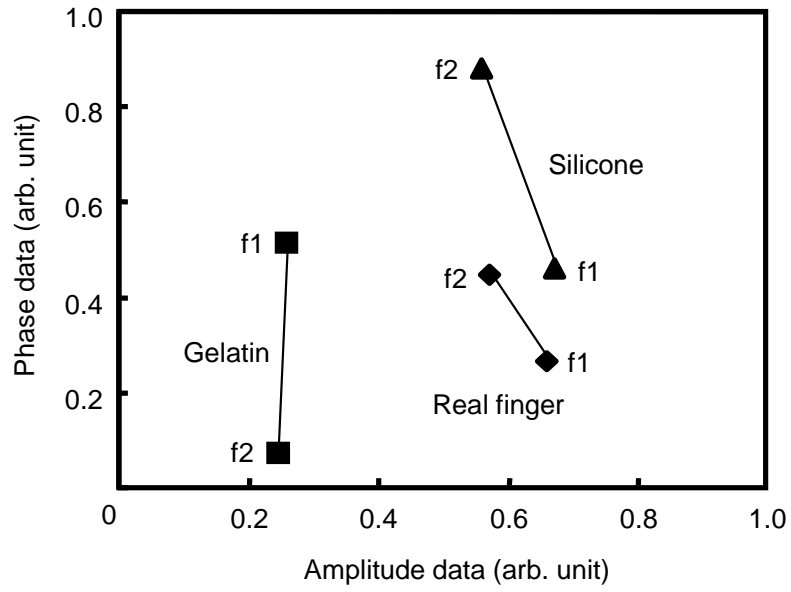
テストチップのESD耐性を、人体モデルに基づく測定システムを用いて評価した[10]。測定システムは、キャパシタとスイッチを用いてESDを発生させる。キャパシタの電圧 V_{ESD} の上限は±8 kVである。ESD耐性は、指紋センサ回路とインピーダンス検知回路の故障が生じる V_{ESD} の値として評価した。正と負の値の ESD 故障電圧について各テストにおいて10個のチップを評価した。テストチップのESD耐性は8 kV以上であるという結果が得られた。すなわち、インピーダンス検出機能のないセンサチップと同様に劣化がないことが分かった[10]。

最後に、不正検知の実証について、図7を用いて説明する。テストチップにより本物の指と2本の偽造指を検出した結果を図7(a)に示す。偽造指はゼラチン、および、シリコーンゴムで作製した。インピーダンスの周波数依存性を検知するために、 f_1 および f_2 として示すように周波数の異なる2種類の三角波を印加した。本物の指のインピーダンスは偽造指のインピーダンスとは異なることを示す結果が得られた。また、周波数依存性も検知された。周波数に対する振幅および位相情報の変化を図7(b)に示す。このグラフは、本物の指3本と偽造指4本についてセンサチップが検出した結果である。本物の指は、指毎に表面状態が異なる。これらのインピーダンスの範囲は、筆者の調査において人の指の範囲を網羅している。グラフにおける領域が、偽造指の結果と本物の指の結果で異なっている。不正検知ソフトウェアは、周波数依存性を用いて検出対象の指が本物かどうかを判定する。これらの結果から、提案技術が指紋センサチップの不正検知に効果的であることを確認した。

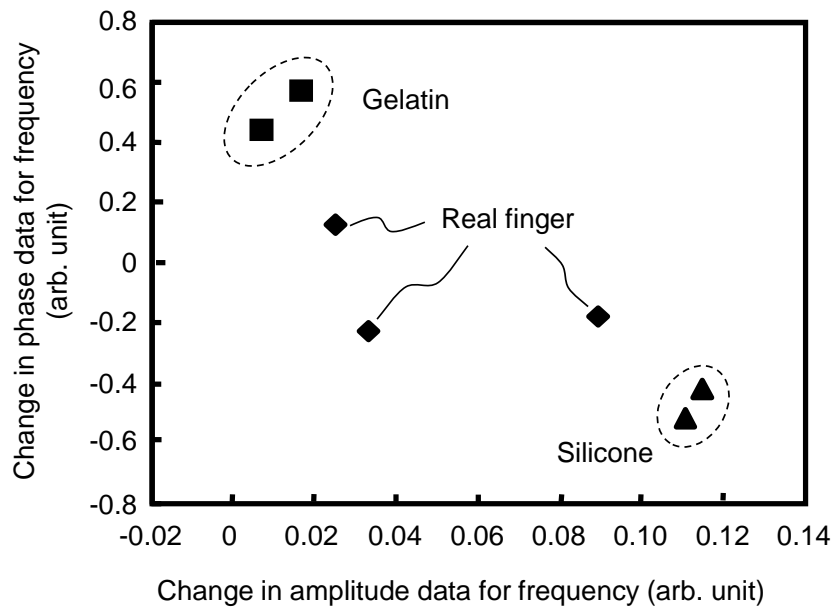
7.5 本章のまとめ

CMOS-MEMSインターフェースの寄生素子補償回路技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術をベースとした応用技術として、容量周波数特性を計測するインピーダンス検出回路を、表面形状を認識する指紋センサのピクセルを置き換えて追加するとともに、制御線を指紋センサ回路と共用化して、チップサイズを増加させることなく集積化した表面形状認識センサLSIを提案した。不正検知電極は指紋センサプレートのGND壁を利用するためグリッド型の形状とし、不正検知電極の領域を含むセンサアレイ全体で指紋画像を取得できるようにした。

インピーダンス検出機能を備えた指紋センサLSIのテストチップを、0.5 μm CMOSプロセスとセンサプロセスを用いて作製した。テストチップにより鮮明な指紋画像を取得でき、ESD耐性も低下しないことを示した。生体指と偽造指のインピーダンスの周波数依存性の違いを検出した。これらの結果から、提案回路が不正検出のためのインピーダンス検出機能を指紋センサチップに追加するのに有効であることを示した。



(a)



(b)

図7 本物の指と偽造指のインピーダンス検知の実証

(a) 振幅および位相情報の周波数依存性

(b) 周波数に対する振幅および位相情報の変化

第7章参考文献

- [1] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme," *IEEE J. Solid-State Circuits*, vol. 33, pp. 133-142, 1998.
- [2] H. Morimura, S. Shigematsu, and K. Machida, "A novel sensor cell architecture and sensing circuit scheme for capacitive fingerprint sensors," *IEEE J. Solid State Circuit*, vol. 35, pp. 724-731, 2000.
- [3] S. Marksteiner, "Method for detecting living human skin," PCT Patent WO/2000/002485, Jan. 7, 1999.
- [4] K. Brownlee, "Method and Apparatus for Distinguishing a Human Finger From a Reproduction of a Fingerprint," U.S. Patent 6 292 576, 2001.
- [5] A. Antonelli, R. Capelli, D. Maio, and D. Maltoni, "Fake Finger Detection by Skin Distortion Analysis," *IEEE Trans. Information Forensics and Security*, vol. 1, pp. 360-373, 2006.
- [6] Ø. G. Martinsen, S. Clausen, J. B. Nysæther, and S. Grimnes, "Utilizing Characteristic Electrical Properties of the Epidermal Skin Layers to Detect Fake Fingers in Biometric Fingerprint Systems—A Pilot Study," *IEEE trans. Biomedical Engineering*, vol. 54, pp. 891-894, 2007.
- [7] T. Shimamura, M. Morimura, N. Shimoyama, T. Sakata, S. Shigematsu, K. Machida and M. Nakanishi, "A Fingerprint Sensor with Impedance Sensing for Fraud Detection," *proc. of ISSCC*, pp. 170-171, 2008.
- [8] K. Machida, S. Shigematsu, H. Morimura, Y. Tanabe, N. Sato, N. Shimoyama, T. Kumazaki, K. Kudou, M. Yano, and H. Kyuragi, "A novel semiconductor capacitive sensor for a single-chip fingerprint sensor/identifier LSI," *IEEE Trans. Electron Device*, vol. 48, No.10, pp. 2273-2278, 2001.
- [9] H. Morimura, S. Shigematsu, T. Shimamura, K. Machida, and H. Kyuragi, "A Pixel-Level Automatic Calibration Circuit Scheme for Capacitive Fingerprint Sensor LSIs," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1300-1306, 2002.
- [10] S. Shigematsu, Y. Tanabe, N. Shimoyama, H. Morimura, Y. Okazaki and K. Machida, "Effect of Ground-wall Structure in a Capacitive Fingerprint Sensor on Electrostatic Discharge Tolerance," *J. J. Applied Physics* vol. 44, pp. 2982-2986, 2005.

第8章

結論

8.1 本研究で得られた成果

本研究は、IoTシステムに向けた集積化CMOS-MEMSデバイスにおける容量センシングの高感度化に対し、CMOS-MEMSインターフェースを伴う容量センサ回路において、寄生素子の補償、未知パラメータ抽出のモデリング、異種センサ一体化のレイアウトに対する課題の克服を目的とした。以下、各章を要約する。

第2章「集積化CMOS-MEMSデバイスにおける容量センシングの高感度化技術」では、基盤技術として、CMOS-MEMSインターフェースの相互作用機構により容量センシングを高感度化させる技術のコンセプトを提案した。パルス変調方式の容量センサ回路は、テクノロジノードが大きい場合でも回路面積を抑えるのに適しており、プロセスコストに対する費用対効果が大きいことを示した。CMOS-MEMSインターフェースの構成例として、寄生素子補償機能、未知パラメータ抽出モデリング機能、異種センサ一体化レイアウト機能について説明し、容量センサ回路の高感度化に有効であることを示した。

第3章「寄生容量を伴う可動体容量のリアルタイム検出手法」では、寄生素子の補償の課題を解決するために、CMOS LSI上に積層されたMEMSデバイスを制御するための新しい容量検出手法を提案した。提案手法はセンサプレートの下にシールドプレートを備えることで寄生容量の影響を抑え、シールドプレートにランプ信号を印加することで検出感度を向上させた。センサ回路はシールドプレートに充電される電荷によりセンサプレートに生成されるランプ信号として検出対象の微小容量を検出する。シールドプレートを大きくして信号の傾きを緩やかにすることで検出感度を向上させる。提案手法の有効性を評価するために、 $0.6 \mu\text{m}$ CMOSプロセスとMEMSプロセスを用いてテストチップを作製した。センサ回路上にMEMS可変容量を積層し、センサプレートの下にシールドプレートを形成した。センサ回路の出力電圧範囲1-2Vが、MEMS可変容量の容量値9-12fFに対応することを確認した。提案手法を用いることで検出容量と出力電圧の比で定義される検出感度が、提案手法を用いない場合と比べて6倍に向上する結果を得た。提案した容量検出手法により寄生容量が大きい場合でも微小容量を検出することができ、これによりCMOS LSI上に積層されたMEMSデバイスを精密に制御するために可動体の変位を検出するのに効果的な手法であると結論づけた。

第4章「寄生直列抵抗を伴う被検体容量による表面形状認識手法」では、寄生素子の補償の課題を解決するために、センサプレートに隣接して配置されたエンハンスメント電極と電圧制御回路で構成するエンハンスメント回路を提案した。センサプレートの電圧を反転させたランプ信号を生成してエンハンスメント電極の電圧を制御することにより、指の表面抵抗による電圧降下を抑制し、容量センシングの感度を向上させることで、指紋の隆線と谷線のコントラストを高めた。提案回路の有効性を評価するために、 $0.5 \mu\text{m}$ CMOSプロセスとセンサプロセスでテストチップを作製した。電圧制御回路としてインバータ回路を使用し、ピクセルサイズを増加させずにエンハンスメント回路を追加した。テストチップにより乾燥した指でも鮮明な画像を良好なコントラストで取得できた。提案回路により、指の表面状態によらず鮮明な指紋画像の取得が可能となった。

第5章「寄生並列抵抗を伴う被検体容量の周波数特性計測手法」では、寄生素子の補償の課題を解決するために、生体インピーダンスを検出するための2つの電極の一方を接地電位として指に流れる電流を指に印加する電圧にフィードバックする単一利得バッファを用いた回路構成を提案した。インピーダンス検出回路が人間の指の表面状態の範囲のインピーダンスを検出できることを解析的に示した。インピーダンス検出回路のテストチップを、 $0.5 \mu\text{m}$ CMOSプロセスとセンサプロセスを用いて作製した。振幅データは、ネットワークアナライザの測定値と一致すること、指の表面状態の異なる湿潤の指と乾燥した指を検出できることを確認した。

第6章「複合構造を有するセンサと電荷非破壊センサ回路の設計統合手法」では、未知のパラメータを抽出するモデリングの課題を解決するために、振動センサが振動検出時に可動体に生じる運動エネルギーを利用することで電力を消費せずにメカニカルに電荷を転送する振動検出手法について述べ、この検出手法のための振動センサとセンサ回路の設計統合手法を提案した。振動センサの共振周波数を調整するための振動増幅機構を有限要素法シミュレーションにおいて未知のパラメータ2つで単純化したモデルで表現し、2つのパラメータが互いに独立であることを利用して、回路シミュレーションと有限要素法シミュレーションの組み合わせにより1点の測定データから振動増幅機構のパラメータを抽出した。振動センサ回路をナノワット以下の電力でクロック信号を用いずに常時動作させるために、貫通電流を入力電圧によらずナノアンペア以下に制限する閾値回路を提案した。負荷容量の放電電流を制限する放電制御トランジスタと放電時間を短縮する放電加速回路を並列に接続した構成とし、放電電流を制限しても遷移時間を短縮できるようにした。放電制御トランジスタに参照電圧生成回路を追加することで、放電電流を 1 nA に制限してもターゲットとする遅延時間 1 ms を満たせることを解析的に示した。提案回路を用いて、連続励振用とインパルス励振用の振動センサ回路2種を搭載したテストチップを $0.35 \mu\text{m}$ CMOSプロセスを用いて作製した。 $25\text{--}78 \text{ Hz}$ の共振周波数を有する振動センサを用いて振動を検出する

動作を確認した。抽出したパラメータを用いたシミュレーション結果が測定結果の全領域で一致することにより提案手法の妥当性を示したことで、振動増幅機構を含めた振動センサを設計するためのモデルを取得した。連続励振用センサ回路の消費電流は0.7 nAで、閾値回路の遅延時間は100 ms以下であり、インパルス励振用センサ回路の消費電流は2 nAで、閾値回路の遅延時間は40 ms以下であることを確認した。消費電流の測定値から回路シミュレーションにより閾値回路の遅延時間をそれぞれ97 μ s、65 μ sと推定し、閾値回路が検出可能な信号変化の限界を把握した。提案手法は、評価のために複雑な構造のセンサを接続する必要があるセンサ回路の設計に有効であり、提案回路は、検出動作の時間間隔と消費エネルギー効率を示す指標であるエネルギー遅延積の関係において、時間間隔1 sの条件において、連続動作に対して電力遅延積を1/150に低減できることを示し、負荷容量の充放電よりもDCバイアス電流が支配的となるIoTデバイスに適した閾値回路であると結論づけた。

第7章「容量周波数特性の計測機能を有する表面形状認識センサLSI」では、寄生素子の補償の課題を解決するために第5章で説明した三角波を用いた振幅と位相の検出と単一利得バッファを使用した電流／電圧変換を特徴とするインピーダンス検出回路を用いることにより、指紋センサのピクセルを置き換えて配置するとともに、制御線を指紋センサ回路と共用化して、チップサイズを増加させることなく、異種センサ一体化のレイアウトの課題を解決する手法を提案するとともに、未知のパラメータを抽出するモデリングの課題を解決するために第6章で説明したモデリング手法を用いて合成構造を有する電極モデルを提案し、応用技術として、容量の周波数特性を計測する機能を内蔵した表面形状認識センサLSIを提案した。不正検知電極はグリッド型の形状として指紋センサプレートのGND壁を利用し、不正検知電極の領域を含むセンサアレイ全体で指紋画像を取得できるようにした。容量周波数特性を計測するインピーダンス検出機能を備えた指紋センサのテストチップを、0.5 μ m CMOSプロセスとセンサプロセスを用いて作製した。テストチップにより鮮明な指紋画像を取得でき、ESD耐性も低下しないことを示した。生体指と偽造指のインピーダンスの周波数依存性の違いを検出した。これらの結果から、提案回路が不正検出のためのインピーダンス検出機能を指紋センサLSIに追加するのに有効であることを示した。

本研究の遂行により、集積化CMOS－MEMSデバイスのための容量センシングの高感度化技術を構築する上で課題とされていた、寄生素子補償回路技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術を確立し、IoTシステムに向けた集積化CMOS－MEMSデバイスのためのセンシング技術を構築することに貢献した。また、本研究で高感度化技術のコンセプトとしたCMOS－MEMSインターフェースに関する知見は、今後、新たなセンシングシステムを構築していく上で課題となる微小信号検出技術、常時動作ゼロパワー化技術、異種機能融合化技術を実現する上で有効な指針になると考える。

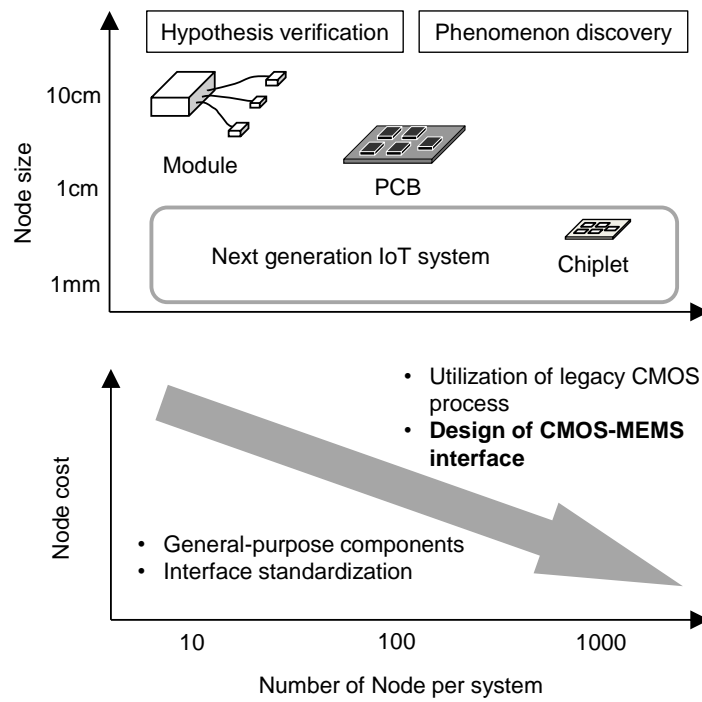
8.2 今後の課題と展望

本研究の成果は、集積化CMOS－MEMSデバイスにおいて、テクノロジノードがサブミクロンのCMOSプロセスの使用においても、ミリサイズ以下の小面積化が要求される容量センサ回路に対して、CMOS－MEMSインターフェースの寄生素子補償回路技術、未知パラメータ抽出モデリング技術、異種センサ一体化レイアウト技術による容量センシングの高感度化を確立したことである。

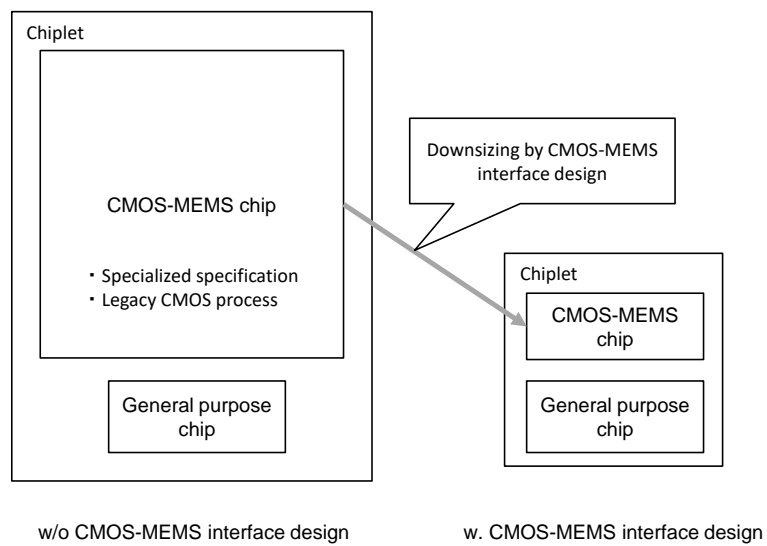
本成果により、今後、ナノワットレベルの低消費電力化をした前提で、高感度化することが課題になると考えられる。具体的には、IoTデバイスはミリサイズのエネルギー源で動作することが求められ、この前提において微小信号を検出するだけでなく、振幅の大きな信号を安定して検出する必要がある。また、センサ素子の製造バラツキや温度等の周囲環境による変動を考慮して、キャリブレーション機能や温度補正機能を小面積、低消費電力で実現することも要求される。

IoTデバイスの形態と技術の方向性について図1(a)を用いて述べる。データ収集のためのセンサ端末として、現在はアルディーノやラズベリーパイといった小型のコンピュータとセンサを接続したモジュールの形態や、CPUやメモリ、センサの電子部品をプリント基板に実装した形態が用いられ、用途として、工場や公共施設などにおいてシステムが所定の価値を生み出せるのかの仮説検証に用いられている。次世代のIoTシステムでは、複数のベアチップをパッケージしたチップレットの形態が用いられ、端末サイズがミリサイズレベルとなり、多数の情報を分析して所定の現象を発見するシステムや、発見に基づいて未来予測をするシステムへと進むと考えられる。これらのシステムを実現する上では、端末の数を増やせることとシステム構築に要するコストを所定の範囲に収めることが求められ、端末コストの低下が重要であり、システムが生み出す価値に見合った技術を選択することが求められる。データ収集の目的に合わせた仕様にカスタマイズして端末サイズや電池寿命の利便性を向上させることや、レガシープロセスを活用してコストを抑えることが重要となることが予想される。

集積化CMOS－MEMSデバイスを用いて端末を小型化した形態を図1(b)に示す。CPU、メモリ、無線といった基本機能は、多数のアプリケーションに共用で用いられることから、汎用チップを用いることでコストを抑制できる。一方で、センシングの機能はアプリケーションによって要求仕様が多岐に渡ると考えられ、カスタマイズが必要になることが想定される。特定のアプリケーションでの使用に限定されるため、サブミクロンレベルのレガシープロセスが用いられることから、必要とする機能によってはチップサイズが汎用チップに対して大きくなることも想定される。CMOS－MEMSインターフェースの設計により、CMOS－MEMSチップをミリサイズレベルの面積に抑えることができ、端末サイズの小型化と端末コストの抑制に貢献できる。



(a)



(b)

図1 CMOS-MEMSインターフェース設計の位置づけと効果

(a) IoT デバイスの形態と技術の方向性

(b) CMOS-MEMSチップを搭載したチップレット

集積化CMOS-MEMSデバイスの今後の展開について、図2に示すイメージ図を用いて説明する。CMOS-MEMSインターフェースの設計では、MEMSとCMOSのデバイス特性を相互に利用する。本研究では、容量センシングにおいて、センサ素子構造に検出電極とは別の電極を追加し、回路で電圧または電流を制御することにより、寄生素子を補償する高感度化、MEMS素子に出力の駆動力を増幅する機構を加えてセンサ回路の入力インピーダンスを下げられるようにし、電源と接地電位に流れるバイアス電流を抑制した回路を採用したことによる低消費電力化、異種のセンシングを行う複数のMEMS素子と回路の組み合わせに対して、MEMS素子同士の構造を共通化するとともに回路側も制御線を共通化することで、デバイスサイズの増加を最小限に抑えた多機能化を示した。本研究で着目した容量 C は電圧 V に対する電荷 Q の変化量に対応($C=dQ/dV$)するのに対し、インピーダンス Z (または抵抗 R)は電流 I に対する電圧 V の比率に対応($Z=V/I$)することから、容量以外を対象とした場合で

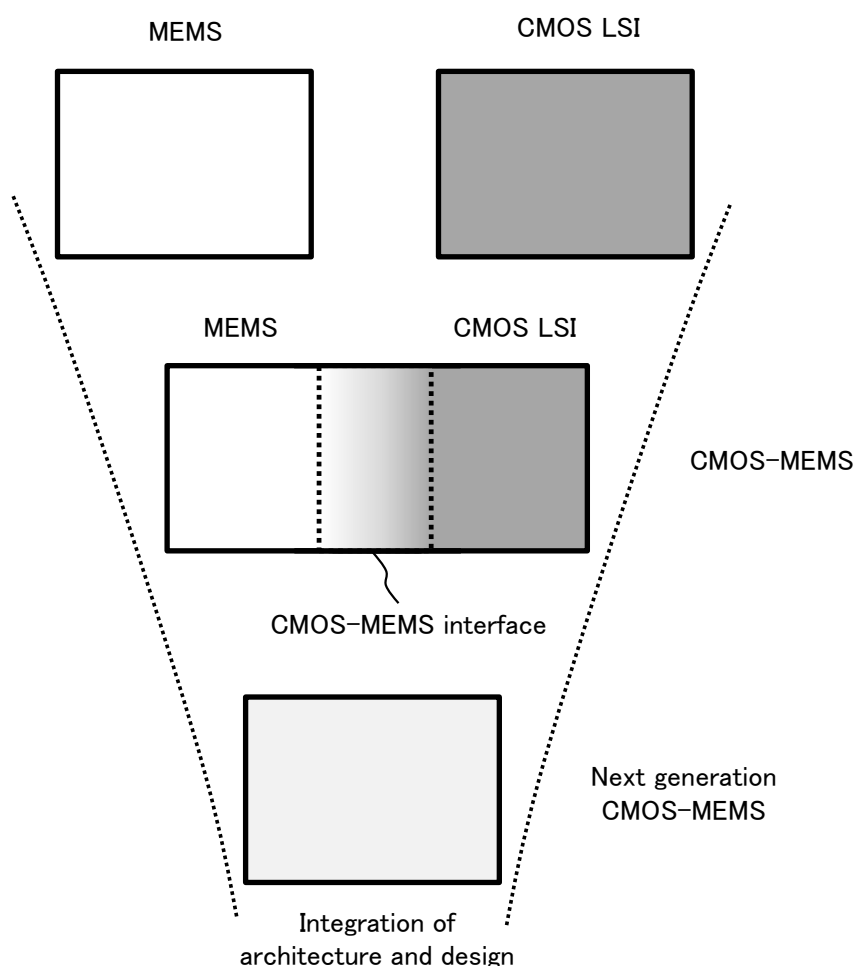


図2 次世代の集積化CMOS-MEMSデバイスへの展開

も検出する物理量は電荷 Q やその変化量である電流 $I(dQ/dt)$ に帰結できる。寄生素子の補償、未知パラメータを抽出するためのモデリング、異種センサ一体化のためのレイアウトの課題を解決するCMOS-MEMSインターフェースの概念は、容量センシングへの適用に限定されず、他の物理量のセンシングへの拡張も想定される。今後、異種デバイスの特性を相互に利用する考え方が進み、アーキテクチャや設計におけるMEMSとLSIの境界がなくなるレベルに統合されることにより、IoTデバイスの小型化・高機能化が進むものと考えられる。

データ駆動型社会に向けたIoTシステムにおいて端末を高度に分散配置する上では、電池やエネルギーハーベストでの動作時間を延ばすことが要求される。端末からデータ送信する際の無線電力を削減するのに、送信するデータ量を最小化することは効果的であり、端末内で有意なデータを選別する機能が求められる。また、端末の使用環境が多様化し、洗濯が必要なウェアラブル端末や運用期間が長期となる社会インフラのモニタリング端末に向けて、実装の耐環境性の向上も要求される。データマイニング技術や高度な実装技術と融合して、集積化CMOS-MEMSデバイスの研究開発が進められていくものと考えられる。今後の新たなデバイス研究を展望していく上で、MEMSとLSIの統合設計技術がプロセス、実装、機械学習、クラウドなどの技術領域と融合してイノベーションを生み出していくと考え、本研究の成果がその先導的役割を果たすことを期待して本研究のまとめとする。

謝辞

本論文をまとめるにあたり、終始懇切なる御指導、御鞭撻を賜りました立命館大学大学院理工学研究科 機械システム専攻 山根大輔准教授に深く感謝します。

また、本論文作成にあたり、貴重な御助言、御指導を頂きました立命館大学大学院理工学研究科 小西聡教授、熊木武志教授に深く感謝します。

本研究は、筆者が1997年に日本電信電話株式会社に入社後、LSI回路設計技術に従事し、2001年から2012年にかけて生活環境研究所、マイクロシステムインテグレーション研究所において、集積化CMOS－MEMSデバイス技術およびその応用システムに関する研究開発業務として行ったものであります。本研究の遂行と論文をまとめる機会を下さいました東京大学 山田一郎名誉教授(元NTT生活環境研究所長)、小松一彦氏(元NTT通信エネルギー研究所長)、故須藤昭一博士(元NTTマイクロシステムインテグレーション研究所長)、西田安秀氏(元NTTマイクロシステムインテグレーション研究所長)、久良木億博士(元NTTマイクロシステムインテグレーション研究所長)、故板屋義男博士(元NTTマイクロシステムインテグレーション研究所長)、北村守博士(元NTTマイクロシステムインテグレーション研究所長)に感謝いたします。日頃より討論と励ましを頂きました立命館大学 小倉武名誉教授(元NTT生活環境研究所ユビキタスインターフェース研究部長)、NTTデバイステクノ株式会社企画部 市野晴彦博士(元ユビキタスインターフェース研究部長)、京都工芸繊維大学 門勇一名誉教授(元NTTマイクロシステムインテグレーション研究所スマートデバイス研究部長)、NTT-ATアイピーエス株式会社取締役 相原公久経営企画部長(元スマートデバイス研究部長)に深く感謝いたします。本論文をまとめる機会を下さるとともに、日頃より討論と励ましを頂きました岡崎幸夫氏(元NTT生活環境研究所ユビキタスインターフェース研究部バイオメトリクス研究グループリーダー)、NTTイノベティブデバイス株式会社第四事業部 中西衛氏(元バイオメトリクス研究グループリーダー)、東京工業大学 町田克之特任教授(元NTTマイクロシステムインテグレーション研究所スマートデバイス研究部MEMSデバイス研究グループリーダー)、豊橋技術科学大学 石井仁特任教授(元MEMSデバイス研究グループリーダー)、NTTデバイステクノ株式会社新町サービス部 浦野正美部長(元MEMSデバイス研究グループリーダー)、NTTイノベティブデバイス株式会社事業推進部 武藤伸一郎部門長(元NTTマイクロシステムインテグレーション研究所スマートデバイス研究部新通信回路技術研究グループリーダー)、NTTテレコン株式会社取締役 原田充技術本部長(元NTTマイクロシステムインテグレーション研究所スマートデバイス研究部ワイヤレス通信回路研究グループリーダー)に感謝いたします。また、本研究を進めるにあたり、数多くの機会と励ましを頂きました山田順三博士(元NTT通信エネルギー研究所低エネルギーエレクトロニクス研究

部長)、大阪大学 永妻忠夫教授(元マイクロシステムインテグレーション研究所スマートデバイス研究部高機能デバイス研究グループリーダー)に感謝いたします。

本研究の遂行と本論文の作成にあたり、終始有益なる御指導、御助言を頂きましたNTTテクノクロス株式会社IOWNデジタルツイン事業部第四ビジネスユニット 森村浩季ビジネスユニット長(元マイクロシステムインテグレーション研究所スマートデバイス研究部新通信回路技術研究グループ主幹研究員)に謹んで感謝の意を表します。本研究を遂行するにあたり、有益な御助言、御討論、また、御協力を頂きましたNTTイノベティブデバイス株式会社第三事業部 重松智志ユニット長(元バイオメトリクス研究グループ主幹研究員)、下山展弘博士(元MEMSデバイス研究グループ主任研究員)、城西大学 阪田知巳教授(元MEMSデバイス研究グループ主任研究員)、日本工業大学 宇賀神守教授(元ワイヤレス通信回路研究グループ主任研究員)、先端集積デバイス研究所企画部 寺田純主席研究員(元新通信回路技術研究グループ主任研究員)、未来ねっと研究所波動伝搬研究部 鈴木賢司主幹研究員(元ワイヤレス通信回路研究グループ研究主任)、先端集積デバイス研究所光電子融合研究部 佐藤昇男主席研究員(元MEMSデバイス研究グループ研究主任)、先端集積デバイス研究所アクティブライフ・デザイン研究部 桑原啓主幹研究員(元MEMSデバイス研究グループ)、NTTテクノクロス株式会社IOWNデジタルツイン事業部第四ビジネスユニット 小野一善マネージャー(元MEMSデバイス研究グループ)、先端集積デバイス研究所アクティブライフ・デザイン研究部 高河原和彦担当課長(元MEMSデバイス研究グループ)、ならびに、バイオメトリクス研究グループ、MEMSデバイス研究グループ、新通信回路技術研究グループ、ワイヤレス通信回路研究グループでお世話になった皆様に感謝いたします。また、本研究の遂行時にLSIチップの試作評価に御協力いただいたNTTエレクトロニクス株式会社(現 NTT イノベティブデバイス株式会社)、NTTアドバンステクノロジー株式会社、日本情報通信株式会社、アベイズム株式会社、株式会社ミスズ工業の皆様に深く感謝いたします。

本研究を行うにあたり基本となるLSI回路設計技術を入社当時御指導いただいた立命館大学 道関隆国名誉教授(元NTT通信エネルギー研究所低エネルギーエレクトロニクス研究部低電圧回路構成研究グループ主任研究員)に感謝します。

最後に、陰ながら支えてくれた両親と、日頃の研究活動を陰で支え本論文の執筆を温かく見守ってくれた妻章子、息子俊諒、俊恒、娘美帆に感謝します。

発表論文等

1. 本研究に関する学術論文

5件(筆頭:5件)

(1.1) T. Shimamura, H. Morimura, K. Kuwabara, N. Sato, J. Terada, M. Ugajin, S. Shigematsu, K. Machida,

“A Capacitive Sensing Scheme for Control of Movable Element with Complementary Metal–Oxide–Semiconductor Microelectromechanical–Systems Device,”

Jpn. J. Appl. Phys., vol. 47, no. 5, pp. 3418–3422, May 2008.

(1.2) T. Shimamura, H. Morimura, S. Shigematsu, M. Nakanishi, K. Machida,

“Capacitive–Sensing Circuit Technique for Image Quality Improvement on Fingerprint Sensor LSIs,”

IEEE J. Solid–State Circuits, vol.45, no.5, pp. 1080–1087, May 2010.

(1.3) T. Shimamura, H. Morimura, N. Shimoyama, T. Sakata, M. Nakanishi, S. Shigematsu, K. Machida,

“Impedance–Sensing Circuit Techniques for Integration of a Fraud Detection Function into a Capacitive Fingerprint Sensor,”

IEEE Sensor J., vol.12, no.5, pp.1393–1401, May 2012.

(1.4) T. Shimamura, and H. Morimura,

“Design Integration Method of Vibration Sensor and Sensing Circuit with Zero–power Charge Transfer for Millimeter–sized Wireless Sensor Nodes,”

IEEJ Trans. Sensor and Micromachines, vol.141 no.1 pp.7–13, 2021.

(1.5) T. Shimamura, and H. Morimura,

”Novel Threshold Circuit Technique and Its Performance Analysis on Nanowatt Vibration Sensing Circuits for Millimeter–Sized Wireless Sensor Nodes,”

IEICE Trans. electron., vol.E104–C, no.7 pp. 272–279, 2021.

2. その他の学術論文

19件(共著:19件)

(2.1) H. Ishiwara, T. Shimamura, E. Tokumitsu,
“Proposal of a Single-Transistor-Cell-Type Ferroelectric Memory Using an SOI Structure and Experimental Study on the Interference Problem in the Write Operation,”

Jpn. J. Appl. Phys., vol. 36 no. 3B, pp. 1655-1658, Mar. 1997.

(2.2) T. Douseki, T. Shimamura, K. Fujii, J. Yamada,
“Energy-Reduction Effect of Ultralow-Voltage MTCMOS / SIMOX Circuits Using a Graph with Equispeed and Equienergy Lines,”

IEICE tran. Electronics, vol. E83-C, no. 2, pp. 212-219, Feb. 2000.

(2.3) H. Morimura, S. Shigematsu, T. Shimamura, K. Machida, H. Kyuragi,
“A pixel-Level Automatic Calibration Circuit Scheme for Capacitive Fingerprint Sensor LSIs,”

IEEE J. Solid-state Circuit, vol.37, no.10, pp. 1300-1306, Oct 2002.

(2.4) H. Morimura, S. Shigematsu, T. Shimamura, N. Satoh, Y. Okazaki, K. Machida, H. Kyuragi,

“Characteristics of Fingerprint Sensing on Capacitive Fingerprint Sensor LSIs with a Ground Wall Structure,”

Jpn. J. Appl. Phys., vol. 41, no. 10, pp. 5951-5956, Oct 2002.

(2.5) H. Morimura, S. Shigematsu, T. Shimamura, N. Satoh, K. Machida, H. Kyuragi,
“Evaluation of Sensitivity on a Capacitive Fingerprint Sensor LSI with a Grounded Wall Structure,”

Jpn. J. Appl. Phys., vol. 41, no. 4B, pp. 2316-2321, Apr. 2002.

(2.6) H. Morimura, S. Shigematsu, T. Shimamura, K. Fujii, C. Yamaguchi, K. Sutou, Y. Okazaki, K. Machida, H. Kyuragi,

“An Adaptive Fingerprint-Sensing Scheme for a User Authentication System with a Fingerprint Sensor LSI,”

IEICE tran. Electronics, vol. E87-C, no. 5, pp. 791-800, May 2004.

- (2.7) H. Ishii, M. Urano, Y. Tanabe, T. Shimamura, J. Yamaguchi, T. Kamei, K. Kudou, M. Yano, Y. Uenishi, K. Machida,
“Fabrication of Optical Microelectromechanical-System Switches Having Multilevel Mirror-Drive Electrodes,”
Jpn. J. Appl. Phys., vol. 43, no. 9A, pp. 6468-6472, Sep. 2004.
- (2.8) T. Douseki, T. Shimamura, N. Shibata,
“A Sub-0.5V Differential ED-CMOS/SOI Circuit with Over-1-GHz Operation,”
IEICE tran. Electronics, vol. E88-C, no. 4, pp. 582-588, Apr. 2005.
- (2.9) M. Urano, T. Sakata, T. Shimamura, H. Ishii, M. Chino, T. Shimada, H. Tazawa, K. Machida,
“Novel Packaging Technology for Microelectromechanical-System Devices,”
Jpn. J. Appl. Phys., vol. 44, no. 11, pp. 8177-8181, Nov. 2005.
- (2.10) S. Shigematsu, K. Fujii, H. Morimura, T. Hatano, M. Nakanishi, N. Ikeda, T. Shimamura, K. Machida, Y. Okazaki, H. Kyuragi,
“Fingerprint Image Enhancement and Rotation Schemes for a Single-Chip Fingerprint Sensor and Identifier,”
IEICE transactions on electronics, vol. E89-C, no. 4, pp. 540-550, Apr. 2006.
- (2.11) S. Shigematsu, H. Morimura, T. Shimamura, T. Hatano, N. Ikeda, Y. Okazaki, K. Machida, M. Nakanishi,
“Logic and Analog Test Schemes for a Single-Chip Pixel-Parallel Fingerprint Identification LSI,”
IEICE transactions on electronics, vol. E90-C, no. 10, pp. 1892-1899, Oct. 2007.
- (2.12) T. Sakata, K. Kuwabara, T. Shimamura, N. Sato, M. Nagase, N. Shimoyama, K. Kudou, K. Machida, H. Ishii,
“Electrodeposition of Water-Repellent Organic Dielectric Film as an Anti-Sticking Coating on Microelectromechanical System Devices,”
Jpn. J. Appl. Phys., vol. 46, no. 9B, pp. 6454-6457, Sep. 2007.
- (2.13) T. Sakata, H. Ishii, N. Sato, T. Shimamura, K. Kuwabara, K. Kudou, K. Machida,
“Electrodeposition of Organic Dielectric Film and Its Application to Vibrational

Microelectromechanical System Devices,”

Jpn. J. Appl. Phys., vol. 45, no. 6B, pp. 5646–5649, Jun. 2006.

(2.14) K. Kuwabara, N. Sato, T. Shimamura, H. Morimura, J. Kodate, H. Ishii,
“Integrated RF–MEMS Technology for Reconfigurable RF Transceivers,”
NTT Tech Rev (Web), vol.5 no.10, Oct. 2007.

(2.15) M. Ugajin, T. Shimamura, S. Mutoh, M. Harada,
“Design and Performance of a Sub-Nano-Ampere Two-Stage Power Management
Circuit in 0.35- μ m CMOS for Dust-Size Sensor Nodes,”
IEICE tran. Electronics, vol. 94 no. 7, pp. 1206–1211, Jul. 2011.

(2.16) 森村浩季, 島村俊重, 桑原啓, 小野一善, 町田克之
“集積化 CMOS-MEMS 技術とその応用”
電子情報通信学会論文誌 C, vol.J95–C, no.8, pp. 175–182, Aug. 2012.

(2.17) N. Sato, K. Ono, T. Shimamura, K. Kuwabara, M. Ugajin, Y. Sato,
“Analysis of Electret-Based MEMS Vibrational Energy Harvester With Slit-and-Slider
Structure,”
J. MEMS, vol. 21, no. 5, pp. 1218–1228, Oct. 2012.

(2.18) K. Ono, N. Sato, T. Shimamura, M. Ugajin, T. Sakata, S. Mutoh, J. Kodate, Y.
Jin, Y. Sato,
“Synchronized Multiple-Array Vibrational Device for Microelectromechanical System
Electrostatic Energy Harvester,”
Jpn. J. Appl. Phys., vol. 51, no. 5, 05EE01, pp. 1–6, May. 2012.

(2.19) H. Morimura, S. Oshima, K. Matsunaga, T. Shimamura, M. Harada,
“Ultra-low-power circuit techniques for mm-size wireless sensor nodes with energy
harvesting,”
IEICE Electronics Express, vol. 11, no. 20, 20142009, pp. 1–12, Oct. 2014.

3. 招待論文および招待講演

4 件(筆頭:2 件、共著:2 件)

(3.1) 島村俊重

2011 年秋季応用物理学会学術講演会 マスコミプレビュー発表

“次世代センサーネットワークのセンサー端末に向け、振動検出の消費電力を世界で初めてナノワット以下に低減” 2011.8.23

(3.2) 島村俊重, 宇賀神守, 森村浩季, 鈴木賢司, 武藤伸一郎, 原田充

“次世代センサーネットワークに向けた超小型無線センサー端末のためのサブナノワット回路技術”

エネルギーハーベスティングコンソーシアム 意見交換会 2012.3.6

(3.3) 森村浩季, 島村俊重, 桑原啓, 小野一善, 町田克之

集積化 CMOS-MEMS 技術とその応用

電子情報通信学会技術研究報告. ICD111-327, pp. 47-52, 2011.11

(3.4) 森村浩季, 島村俊重, 桑原啓, 小野一善, 町田 克之

集積化 CMOS-MEMS 技術とその応用

電子情報通信学会論文誌 C, vol. J95-C No. 8, pp. 175-182, 2012.8

4. 国際会議発表

27 件(筆頭:7 件、共著:20 件)

(4.1) T. Shimamura, T. Douseki, M. Shinagawa and J. Yamada,

“A High-EMC-capable Multi-threshold CMOS Circuit and its Verification with an EOS High-impedance Probe,”

proc. of EMC Zurich, pp. 691-696, Feb. 2001.

(4.2) T. Shimamura, H. Morimura, H. Unno, K. Fujii, S. Shigematsu, K. Machida, H. Kyuragi,

“Novel Testing Scheme for Selection of Capacitive Fingerprint Sensor LSIs,”

proc. of SPIE, vol. 4593, pp. 23-30, Dec. 2001.

(4.3) T. Shimamura, H. Morimura, K. Kuwabara, N. Satoh, J. Terada, M. Ugajin, S. Shigematsu, K. Machida, M. Nakanishi, H. Ishii,

“A Capacitive-Sensing Scheme for Control of Adaptive MEMS Device Stacked on CMOS LSI,”

SSDM extended abstracts, pp. 56–57, Sep. 2006.

(4.4) T. Shimamura, H. Morimura, N. Shimoyama, T. Sakata, S. Shigematsu, K. Machida, M. Nakanishi
“A Fingerprint Sensor with Impedance Sensing for Fraud Detection”
ISSCC Digest of Technical Papers, pp. 170–171, Feb 2008.

(4.5) T. Shimamura, M. Ugajin, K. Suzuki, K. Ono, N. Satoh, K. Kuwabara, H. Morimura, S. Mutoh,
“Nano-Watt Power Management and Vibration Sensing on a Dust-Size Batteryless Sensor Node for Ambient Intelligence Applications,”
ISSCC Digest of Technical Papers, pp. 695–697, Feb. 2010.

(4.6) T. Shimamura, H. Morimura, M. Ugajin, S. Mutoh,
“A Subnanowatt Vibration-sensing Circuit for Dust-size Battery-less Sensor Nodes,”
SSDM extended abstract, pp. 1156–1157, Sep. 2010.

(4.7) T. Shimamura, M. Ugajin, K. Kuwabara, K. Takagahara, K. Suzuki, H. Morimura, M, Harada, S, Mutoh,
“MEMS-switch-based Power Management with Zero-power Voltage Monitoring for Energy Accumulation Architecture on Dust-size Wireless Sensor Nodes,”
Symp. VLSI Circuits Digest Technical Papers, pp. 276–277, June 2011.

(4.8) H. Ishiwara, T. Shimamura, E. Tokumitsu,
“Proposal of a Single-Transistor-Type Ferroelectric Memory Using an SOI Structure and Experimental Study on Interference Problem in Write Operation,”
SSDM Extended abstracts, pp. 809–811, Aug. 1996.

(4.9) H. Morimura, S. Shigematsu, T. Shimamura, K. Machida, H. Kyuragi,
“A Pixel-Level Automatic Calibration Circuit Scheme for Sensing Initialization of a Capacitive Fingerprint Sensor LSI,”
Symp. VLSI Circuits Digest Technical Papers, Vol.2001 Page.171–174 (2001)

(4.10) H. Morimura, S. Shigematsu, T. Shimamura, N. Satoh, K. Machida, H. Kyuragi,
“Advanced sensing circuit and sensor structure for a high-sensitive capacitive fingerprint sensor LSI,”

SSDM extended abstract, pp. 280–281, Sep. 2001

(4.11) K. Fujii, M. Nakanishi, S. Shigematsu, H. Morimura, T. Hatano, N. Ikeda, T. Shimamura, Y. Okazaki, H. Kyuragi,

“A 500-dpi Cellular-Logic Processing Array for Fingerprint-Image Enhancement and Verification,”

proc. of IEEE Custom Integration Circuits Conf., pp. 261–264, 2002.

(4.12) H. Morimura, S. Shigematsu, T. Shimamura, K. Fujii, C. Yamaguchi, H. Suto, Y. Okazaki, K. Machida, H. Kyuragi,

“An Advanced Fingerprint Sensor LSI and its Application to a Fingerprint Identification System,”

Symp. VLSI Circuits Digest Technical Papers, pp. 272–275, 2002.

(4.13) S. Shigematsu, K. Fujii, H. Morimura, T. Hatano, M. Nakanishi, T. Adachi, N. Ikeda, T. Shimamura, K. Machida, Y. Okazaki, H. Kyuragi,

“A 500-dpi 224x256-pixel Single-chip Fingerprint Identification LSI with Pixel-parallel Image Enhancement and Rotation Schemes,”

ISSCC Digest of Technical Papers, vol. 45, pp. 354–355,473, Feb. 2002.

(4.14) S. Shigematsu, H. Morimura, K. Fujii, T. Hatano, M. Nakanishi, N. Ikeda, T. Shimamura, Y. Okazaki, Y. Tanabe, K. Machida, H. Kyuragi,

“Software and hardware techniques for a single-chip fingerprint sensor/identifier,”

proc. of 5th Biannual World Automation Congress, vol. 13, pp. 123–128, 2002.

(4.15) T. Douseki, T. Shimamura, N. Shibata,

“A 0.3V 3.6GHz 0.3mW Frequency Divider with Differential ED-CMOS/SOI Circuit Technology,”

ISSCC Digest of Technical Papers, vol. 46, pp. 114–115,482, Feb. 2003.

(4.16) M. Urano, H. Ishii, Y. Tanabe, T. Shimamura, T. Sakata, K. Machida, T. Kamei, K. Kudou, M. Yano,

“Novel Fabrication Process and Structure of a Low-Voltage-Operation Micromirror Array for Optical MEMS Switches,”

IEDM Technical Digests, pp. 965–968, 2003.

- (4.17) H. Morimura, T. Shimamura, K. Fujii, S. Shigematsu, Y. Okazaki, K. Machida,
“A Zero-Sink-Current Schmitt Trigger and Window-Flexible Counting Circuit for
Fingerprint Sensor/Identifier,”
ISSCC Digest of Technical Papers, vol.47, pp. 122-123,517, Feb. 2004.
- (4.18) H. Ishii, Y. Tanabe, T. Shimamura, J. Yamaguchi, M. Urano, T. Kamei, K.
Kudou, M. Yano, Y. Uenishi, K. Machida,
“Fabrication of Optical MEMS Switches Having Multilevel Mirror-Drive Electrode,”
proc.of 2003 IEEE/LEOS Optical MEMS, no. 03EX682, pp. 121-122, 2003.
- (4.19) M. Urano, H. Ishii, Y. Tanabe, T. Shimamura, T. Sakata, T. Kamei, K. Kudou,
M. Yano, K. Machida,
“Novel Fabrication Process and Structure of a Low-Voltage-Operation Micromirror
Array for Optical MEMS Switches,”
IEDM Technical Digests, 39.5, pp. 1-4, 2003.
- (4.20) M. Urano, H. Ishii, T. Sakata, T. Shimamura, K. Machida,
“Fabrication of Low-Voltage Optical MEMS Switches by Using Seamless Integration
Technology,”
206th ECS Meeting abstracts, MA2004-02, Abs#1445, Oct. 2004.
- (4.21) K. Kuwabara, N. Satoh, T. Shimamura, H. Morimura, J. Kodate, T. Sakata, S.
Shigematsu, K. Kudou, K. Machida, M. Nakanishi, H. Ishii
“RF CMOS-MEMS switch with low-voltage operation for single-chip RF LSIs,”
IEDM Technical Digests, pp. 467-470, 2006.
- (4.22) T. Sakata, K. Kuwabara, T. Shimamura, N. Satoh, N. Shimoyama, M. Nagase, K.
Kudou, K. Machida, H. Ishii,
“Prevention of Release-related Sticking in MEMS Devices by Electrodeposition of
Water-repellent Film,”
proc. of MNC, pp. 394-395, 2006.
- (4.23) T. Sakata, H. Ishii, N. Satoh, K. Kuwabara, T. Shimamura, K. Kudou, K.
Machida,
“Prevention of Sticking in MEMS Devices by Electrodeposition,”
210th ECS Meeting abstracts, MA2006-02, Abs#1274, Oct. 2006.

(4.24) N. Shimoyama, S. Shigematsu, H. Morimura, T. Shimamura, M. Nakanishi, H. Ishii, T. Kumazaki, K. Machida,
“Effect of Scratch Stress on the Surface Hardness and Inner Structures of a Capacitive Fingerprint Sensor LSI,”
proc. of IRPS, pp. 412–416, Apr. 2007.

(4.25) N. Sato, K. Ono, T. Shimamura, K. Kuwabara, M. Ugajin, S. Mutoh, H. Morimura, H. Ishii, J. Kodate, Y. Sato,
“Energy harvesting by MEMS vibrational devices with electrets,”
proc. of TRANSDUCERS, pp. 513 – 516, 2009

(4.26) M. Ugajin, T. Shimamura, S. Mutoh, and M. Harada,
“A sub-nanoampere two-stage power management circuit in 0.35- μ m CMOS for dust-size batteryless sensor nodes,”
SSDM Extended Abstracts, pp. 347–348, 2010.

(4.27) S. Oshima, K. Matsunaga, T. Shimamura, H. Morimura, M. Harada,
“1-cm³ event-driven wireless sensor nodes,”
proc. of ICCS, pp. 6–10, 2012.

5. 国内会議発表

5.1 シンポジウム

9 件(筆頭:5 件、共著:4件)

(5.1.1) T. Shimamura, H. Morimura, S. Shigematsu, K. Machida, M. Nakanishi,
“Evaluation of Sensitivity Enhancement on Capacitive Fingerprint Sensor LSIs,”
proc. of 24th Sensor Symposium on Sensors, Micromachines and Applied Systems, pp. 415–418, Oct. 2007.

(5.1.2) T. Shimamura, H. Morimura, N. Shimoyama, T. Sakata, S. Shigematsu, M. Nakanishi, K. Machida,
“Impedance-Sensing Scheme for Fraud Detection on Capacitive Fingerprint Sensor LSIs,”
proc. of 26th Sensor Symposium on Sensors, Micromachines and Applied Systems, A-1, Oct. 2009.

(5.1.3) T. Shimamura, M. Ugajin, K. Suzuki, K. Ono, N. Satoh, K. Kuwabara, H. Morimura, S. Mutoh,
“Vibration Sensor Node Prototype with Nanowatt Circuit Techniques for Ambient Intelligence,”
proc. of 27th Sensor Symposium on Sensors, Micromachines and Applied Systems, IM-C-3, Oct. 2010.

(5.1.4) T. Shimamura, M. Ugajin, K. Kuwabara, K. Takagahara, K. Suzuki, H. Morimura, M. Harada, S. Mutoh,
“Power Management Scheme Using MEMS switch for Energy Accumulation on Dust-size Wireless Sensor Nodes,”
proc. of 28th Sensor Symposium on Sensors, Micromachines and Applied Systems, A1-2, Oct. 2011.

(5.1.5) T. Shimamura, K. Takagahara, K. Kuwabara, H. Morimura, S. Mutoh, M. Harada, M. Ugajin, K. Suzuki,
“Sub-Nanowatt Circuit Techniques with MEMS Assist for Power Management and Vibration Sensing on Millimeter-Size Energy Harvesting Sensor Nodes,”
proc. of 29th Sensor Symposium on Sensors, Micromachines and Applied Systems, 1H4-1, Oct. 2012.

(5.1.6) M. Urano, H. Ishii, T. Minotani, T. Shimamura, T. Sakata, Y. Tanabe, T. Kamei, K. Kudou, M. Yano,
“A Fabrication Process and Design of High-Yield and Low-Voltage-Operation Micromirror for Optical MEMS Switches,”
proc. of 21th Sensor Symposium on Sensors, Micromachines and Applied Systems, pp. 329-332, Oct. 2004.

(5.1.7) K. Kuwabara, N. Sato, T. Shimamura, H. Morimura, J. Kodate, T. Sakata, S. Shigematsu, M. Nakanishi, H. Ishii, K. Kudou, K. Machida,
“Low-Actuation-Voltage RF MEMS Devices and Their Integration with a CMOS LSI,”
proc. of 24th Sensor Symposium on Sensors, Micromachines and Applied Systems, pp. 41-44, Oct. 2007.

(5.1.8) 下山展弘, 重松智志, 森村浩季, 島村俊重, 熊崎利彦, 中西衛, 石井仁, 町田克之

“指紋センサ LSI の引掻き試験によるセンサ表面強度の検討”

第 17 回電子デバイスの信頼性シンポジウム, 17S-01, pp. 39-44, 2007.

(5.1.9) K. Ono, N. Sato, T. Shimamura, M. Ugajin, T. Sakata, S. Mutoh, Y. Sato,

“A millimeter-sized electret-energy-harvester with microfabricated horizontal arrays and vertical protrusions for power generation enhancement,”

proc. of 16th Sensor Symposium on Sensors, Micromachines and Applied Systems, pp. 1863-1866, 2011.

5.2 研究会

電子情報通信学会 :16件(筆頭:4件、共著:12件)

応用物理学会 :2件(筆頭:2件)

電気学会 :2件(筆頭:1件、共著:1件)

《電子情報通信学会》

(5.2.1) 島村俊重, 道関隆国

“極低電圧 CMOS 回路におけるしきい値電圧設定法”

電子情報通信学会技術研究報告, ICD98-121, pp. 77-83, Jun. 1998.

(5.2.2) 島村俊重, 道関隆国, 品川満, 山田順三

“EO ハンディープローブを用いた極低電圧 CMOS 回路の EMC 耐性解析 Sub-1V MTCMOS/SIMOX 回路の高 EMC 耐性実証”

電子情報通信学会技術研究報告, ICD99-485, pp. 55-61, Dec. 1999.

(5.2.3) 島村俊重, 森村浩季, 重松智志, 岡崎幸夫, 町田克之, 久良木億

“ピクセルセルフチェック機能を有する容量型指紋センサ LSI のウエハレベルテスト手法”

電子情報通信学会技術研究報告, ICD102-623, pp. 31-36, Jan. 2003.

(5.2.4) 島村俊重, 宇賀神守, 桑原啓, 高河原和彦, 鈴木賢司, 森村浩季, 原田充, 武藤伸一郎

“MEMS-switch-based Power Management with Zero-power Voltage Monitoring for Energy Accumulation Architecture on Dust-size Wireless Sensor Nodes”

電子情報通信学会シリコンアナログ RF 研究会, Aug. 2011.

- (5.2.5) H. Morimura, S. Shigematsu, T. Shimamura, K. Machida, H. Kyuragi,
“A Single-Chip Fingerprint Sensor/Identifier LSI”
電子情報通信学会技術研究報告, SDM78-101, vol. 101, no.164, pp. 129-136, Jul.
2001.
- (5.2.6) 森村浩季, 重松智志, 島村俊重, 町田克之, 久良木億
“容量型指紋センサ用ピクセルレベル自動キャリブレーション回路技術”
電子情報通信学会技術研究報告, ICD, vol.101, no.249, pp.31-36, Aug. 2001.
- (5.2.7) 重松智志, 藤井孝治, 森村浩季, 羽田野孝裕, 中西衛, 池田奈美子, 島村
俊重, 町田克之, 久良木億
“画素並列画像強調および画像回転手法を用いた 1 チップ指紋認証 LSI”
電子情報通信学会技術研究報告, ICD, vol. 102, no.82, pp. 7-12, May 2002.
- (5.2.8) 森村浩季, 重松智志, 島村俊重, 藤井孝治, 山口力, 首藤啓樹, 岡崎幸夫,
町田克之, 久良木億
“高性能容量型指紋センサ LSI と認証システムへの応用”
電子情報通信学会技術研究報告, ICD, vol. 102, no.234, pp. 35-40, Jul. 2002.
- (5.2.9) 藤井孝治, 中西衛, 重松智志, 森村浩季, 羽田野孝裕, 池田奈美子, 島村
俊重, 岡崎幸夫, 久良木億
“指紋画像のオンチップ認証処理に適したセルラーロジックプロセッシング回路”
電子情報通信学会技術研究報告, ICD, vol.102, no.234, pp. 29-34, Jul. 2002.
- (5.2.10) 森村浩季, 重松 智志, 島村 俊重, 佐藤 昇男, 町田 克之, 久良木 億
“GND 壁センサ構造を有する容量型指紋センサ LSI の感度評価”
電子情報通信学会技術研究報告, ED, vol. 102, no. 326, pp. 7-12, Sep. 2002.
- (5.2.11) 道関隆国, 島村俊重, 柴田信太郎
“1GHz 級動作サブ 0.5V 差動型 ED-CMOS/SOI 回路技術”
電子情報通信学会技術研究報告, ICD, vol. 103, no. 510, pp. 23-28, Dec. 2003.
- (5.2.12) 森村浩季, 島村俊重, 藤井孝治, 重松智志, 岡崎幸夫, 町田克之
“ワンチップ指紋認証 LSI に適した超低消費電力指紋センシング回路技術”
電子情報通信学会技術研究報告, ICD, vol. 104, no. 67, pp. 41-46, May 2004.

(5.2.13) 森村浩季, 佐藤昇男, 島村俊重, 桑原啓, 阪田知巳, 小舘淳一, 重松智志, 中西衛, 町田克之, 石井仁

“集積化 CMOS-MEMS 技術”

電子情報通信学会 研究会, 2007

(5.2.14) 阪田知巳, 桑原啓, 佐藤昇男, 島村俊重, 石井仁, 工藤和久, 町田 克之
“有機薄膜の電着による MEMS デバイスのスティッキング防止”

電子情報通信学会技術研究報告, EMD, vol. 108, no. 10, pp. 13-16, Apr. 2008.

(5.2.15) 宇賀神守, 島村俊重, 森村 浩季, 武藤伸一郎, 原田 充

“エネルギーハーベスティングによる無線センサ端末動作を実現するサブナノワット回路技術”

電子情報通信学会技術研究報告, ICD, vol. 111, no. 188, pp. 35-40, Aug. 2011.

(5.2.16) 森村浩季, 島村俊重, 桑原啓, 小野一善, 町田克之

“集積化 CMOS-MEMS 技術とその応用”

電子情報通信学会技術研究報告, ICD, vol. 111, no. 327, pp. 47-52, Nov. 2011.

《応用物理学会》

(5.2.17) 島村俊重, 森村浩季, 重松智志, 中西衛, 町田克之

“容量型指紋センサ LSI の画質向上のための高感度化手法の検討”

応用物理学会集積化 MEMS 技術研究ワークショップ, Jul. 2009.

(5.2.18) 島村俊重, 森村浩季, 下山展弘, 阪田知巳, 重松智志, 中西衛, 町田克之

“指紋センサ LSI への生体検知機能の集積化に適したインピーダンス検出手法の検討”

応用物理学会集積化 MEMS 技術研究ワークショップ, Jul. 2010.

《電気学会》

(5.2.19) 島村俊重, 森村浩季, 下山展弘, 阪田知巳, 重松智志, 中西衛, 町田克之

“容量型指紋センサ LSI での偽造指による不正の検知に向けたインピーダンス検出手法”

電気学会電子回路研究会資料, ECT, vol. 09, no. 120, pp. 63-66, Nov. 2009.

(5.2.20) 重松智志, 森村浩季, 羽田野孝裕, 中西衛, 池田奈美子, 藤井孝治, 島村俊重, 町田克之, 岡崎幸夫, 久良木億

“1チップ指紋認証LSI技術”

電気学会研究会資料, ECT, vol. 07, no. 88, pp. 67-70, Dec. 2007.

5.3 全国大会

電子情報通信学会 : 14件(筆頭:8件、共著:6件)

応用物理学会 : 22件(筆頭:8件、共著:14件)

電気学会 : 1件(共著:1件)

《電子情報通信学会》

(5.3.1) 島村俊重, 道関隆国

“極低電圧 CMOS 回路におけるしきい値電圧設定法”

電子情報通信学会総合大会講演論文集, vol. 2, pp. 166, Mar. 1998.

(5.3.2) 島村俊重, 道関隆国

“極低電圧 CMOS 回路におけるしきい値電圧設定法の評価”

電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp. 108, Sep. 1998.

(5.3.3) 島村俊重, 道関隆国

“低電圧 CMOS 回路の電磁波耐性改善手法”

電子情報通信学会ソサイエティ大会講演論文集, 通信 1, pp. 259, Sep. 2000.

(5.3.4) 島村俊重, 道関隆国, 品川満

“EO ハンディプローブを用いた極低電圧 CMOS 回路の EMC 耐性評価”

電子情報通信学会総合大会講演論文集, 通信 1, pp. 345, Mar. 2000.

(5.3.5) 島村俊重, 森村浩季, 重松智志, 岡崎幸夫, 町田克之, 久良木億

“容量型指紋センサ LSI 良品選別のためのテスト手法”

電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp. 85, Aug. 2002.

- (5.3.6) 島村俊重, 森村浩季, 藤井孝治, 重松智志, 岡崎幸夫, 町田克之
“ワンチップ指紋認証 LSI のための集計範囲可変カウント回路”
電子情報通信学会大会講演論文集, エレクトロニクス 2, pp. 96, Sep. 2004.
- (5.3.7) 島村俊重, 森村浩季, 下山展弘, 阪田知巳, 重松智志, 中西衛, 町田克之
“生体検知機能内蔵指紋センサ LSI のためのインピーダンス検出手法の検討”
電子情報通信学会大会講演論文集, エレクトロニクス 2, pp.158, Mar. 2009.
- (5.3.8) 島村俊重, 森村浩季, 桑原啓, 佐藤昇男, 町田克之
“CMOS-MEMS の可動部位置制御のための容量センサ回路”
電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp. 96, Sep. 2009.
- (5.3.9) 森村浩季, 重松智志, 島村俊重, 町田克之, 久良木億
“容量型指紋センサ LSI 用キャリブレーション回路技術”
電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp. 84, Aug. 2002.
- (5.3.10) 重松智志, 森村浩季, 羽田野孝裕, 中西衛, 池田奈美子, 岡崎幸夫, 藤井孝治, 島村俊重, 久良木億
“1 チップ指紋認証 LSI に適した指紋画像最適化手法”
電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp.82, Aug. 2002.
- (5.3.11) 森村浩季, 重松智志, 島村俊重, 町田克之, 久良木億
容量型指紋センサ LSI 用キャリブレーション回路技術
電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp.84, Aug. 2002.
- (5.3.12) 藤井孝治, 中西衛, 重松智志, 森村浩季, 羽田野孝裕, 池田奈美子, 島村俊重, 岡崎幸夫, 久良木億
“指紋画像のオンチップ認証処理に適したセルラーロジックプロセッシング回路”
電子情報通信学会大会講演論文集, エレクトロニクス 2, pp. 80, Mar. 2003.
- (5.3.13) 重松智志, 藤井孝治, 森村浩季, 羽田野孝裕, 中西衛, 池田奈美子, 島村俊重, 町田克之, 久良木億

“1 チップ指紋認証 LSI に適した指紋画像回転手法”

電子情報通信学会大会講演論文集, 情報・システム 2, pp.162, Mar. 2003.

(5.3.14) 森村浩季, 島村俊重, 藤井孝治, 重松智志, 岡崎幸夫, 町田克之
“零貫通電流型シュミットトリガ回路”

電子情報通信学会ソサイエティ大会講演論文集, エレクトロニクス 2, pp. 97, Sep. 2004.

《応用物理学会》

(5.3.15) 島村俊重, 徳光永輔, 石原宏

“MFM-MOS 構造 FET の作製と動作解析”

第 56 回応用物理学会学術講演会講演予稿集, no.2, pp.442, Aug. 1995.

(5.3.16) 島村俊重, 藤井巖, 徳光永輔, 石原宏

“PLZT/STO/Si-FET の作製と適応学習型 FET への応用”

第 57 回応用物理学会学術講演会講演予稿集, no.2, pp.345, Sep. 1996.

(5.3.17) 島村俊重, 藤井巖, 徳光永輔, 石原宏

“P(L)ZT/STO/Si 構造を用いた強誘電体ゲート FET の特性改善”

第 44 回応用物理学関係連合講演会講演予稿集, no.2, pp. 490, Mar. 1997.

(5.3.18) 島村俊重, 森村浩季, 桑原啓, 佐藤昇男, 寺田純, 宇賀神衛, 重松智志,
町田克之, 中西衛, 石井仁

“CMOS-MEMS の位置制御のための容量センシングの検討”

第 67 回応用物理学会学術講演会講演予稿集, no.2, pp. 792, Aug. 2006.

(5.3.19) 島村俊重, 森村浩季, 重松智志, 中西衛, 町田克之

“容量型指紋センサ LSI のセンシング感度の検討”

第 68 回応用物理学会学術講演会講演予稿集, no.2, pp. 878, Sep. 2007.

(5.3.20) 島村俊重, 森村浩季, 下山展弘, 阪田知己, 重松智志, 町田克之, 中西
衛

“指紋センサ LSI での生体検知のためのインピーダンス検出手法の検討”

応用物理学会学術講演会講演予稿集, 15A-ZE-8, Aug. 2010.

(5.3.21) 島村俊重, 森村浩季, 宇賀神守, 武藤伸一郎, 原田充

“超小型バッテリーレスセンサノードのためのサブナノワット振動検出原理”
応用物理学会学術講演会講演予稿集, 30A-E-2, Aug. 2011.

(5.3.22) 島村俊重, 森村浩季, 宇賀神守, 武藤伸一郎, 原田充
“超小型バッテリーレスセンサノードのプロトタイプと振動検出回路の評価”
応用物理学会学術講演会講演予稿集, 30A-E-3, Aug. 2011.

(5.3.23) 藤沢俊雄, 林経正, 岡本具之, 島村俊重, 徳光永輔, 石原宏
“SOI 基板上に作製した UJT の発振特性”
第 55 回応用物理学会学術講演会講演予稿集, no.2, pp. 630, Mar. 1994.

(5.3.24) 藤井巖, 島村俊重, 徳光永輔, 石原宏
“SrBi₂Ta₂O₉/Si 構造を用いた MFSFET の作製と評価”
第 44 回応用物理学関係連合講演会講演予稿集, no.2, pp. 488, Mar. 1997.

(5.3.25) 石井仁, 田辺泰之, 島村俊重, 浦野正美, 町田克之, 矢野正樹
“シームレスインテグレーション技術による MEMS 光スイッチの製作 (I)–厚膜多層電極–”
第 64 回応用物理学会学術講演会講演予稿集, no.3, pp.1095, Aug. 2003.

(5.3.26) 田辺泰之, 石井仁, 島村俊重, 浦野正美, 町田克之, 工藤和久
“シームレスインテグレーション技術による MEMS 光スイッチの作製 (II)–MEMS ミラー–”
第 64 回応用物理学会学術講演会講演予稿集, no.3, pp. 1096, Aug. 2003.

(5.3.27) 工藤和久, 浦野正美, 石井仁, 島村俊重, 町田克之, 田沢浩, 島田照男,
千野満
“新しい光 MEMS マイクロミラーチップの実装方法”
第 65 回応用物理学会学術講演会講演予稿集, no.3, pp. 1039, Sep 2004.

(5.3.28) 阪田知己, 石井仁, 佐藤昇男, 島村俊重, 桑原啓, 工藤和久, 町田克之
“有機絶縁膜の電着被覆による MEMS デバイスの信頼性向上”
第 53 回応用物理学関係連合講演会講演予稿集, no.2, pp. 877, Mar. 2006.

(5.3.29) 阪田知己, 石井仁, 佐藤昇男, 桑原啓, 島村俊重, 工藤和久, 町田克之
“MEMS デバイスにおけるウェット処理時のスティッキング防止に向けた撥水性電着膜

形成”

第 67 回応用物理学会学術講演会講演予稿集, no.2, pp.742, Aug. 2006.

(5.3.30) 桑原啓, 佐藤昇男, 島村俊重, 森村浩季, 小舘淳一, 重松智志, 中西衛, 亀井, 町田克之, 石井仁

“RF CMOS-MEMS の検討(1):RF MEMS 技術と RF CMOS 技術の融合”

第 54 回応用物理学関係連合講演会講演予稿集, no.2, pp.940, Mar. 2007.

(5.3.31) 阪田知巳, 桑原啓, 佐藤昇男, 島村俊重, 石井仁, 工藤和久, 町田克之

“撥水性電着膜による MEMS デバイスのリリーススティッキング防止”

第 54 回応用物理学関係連合講演会講演予稿集, no.2, pp. 884, Mar. 2007.

(5.3.32) 桑原啓, 佐藤昇男, 島村俊重, 森村浩季, 小舘淳一, 重松智志, 中西衛, 石井仁, 亀井敏和, 町田克之

シングルチップ RF LSI の実現に向けた RF CMOS-MEMS 技術の構築

第 68 回応用物理学会学術講演会講演予稿集, no.2, pp.885, Sep. 2007.

(5.3.33) 重松智志, 下山展弘, 森村浩季, 島村俊重, 中西衛, 石井仁, 熊崎利彦, 町田克之

“引掻き試験による指紋センサ LSI の表面及び内部強度の検討(1)”

第 68 回応用物理学会学術講演会講演予稿集, no.2, pp. 878, Sep. 2007.

(5.3.34) 下山展弘, 重松智志, 森村浩季, 島村俊重, 中西衛, 石井仁, 熊崎利彦, 町田克之

“引掻き試験による指紋センサ LSI の表面及び内部強度の検討(2)”

第 68 回応用物理学会学術講演会講演予稿集, no.2, pp. 878, Sep. 2007.

(5.3.35) 小野一善, 佐藤昇男, 島村俊重, 宇賀神守, 佐藤康博

“静電型 MEMS 発電機の電極間ギャップが出力に及ぼす効果”

第 71 回応用物理学会学術講演会講演予稿集(CD-ROM), 17P-B-14, Mar. 2010.

(5.3.36) 小野一善, 佐藤昇男, 島村俊重, 宇賀神守, 佐藤康博

“静電型 MEMS 発電機に向けた同期型振動構造”

第 71 回応用物理学会学術講演会講演予稿集(CD-ROM), 17P-ZD-7, Mar. 2010.

《電気学会》

(5.3.37) 森村浩季, 島村俊重 桑原啓, 佐藤昇男, 阪田知己, 重松智志, 中西衛, 町田克之, 石井仁

“集積化 CMOS-MEMS 技術～異種素子混載プロセスと MEMS 制御用センサ回路による集積化 RF-MEMS～”

電気学会, Nov. 2006.

6. 国内特許

[出願特許] 127 件(代表発明: 60 件、共同発明: 67 件)

[取得特許] 113 件(代表発明: 56 件、共同発明: 57 件)

(筆頭登録特許)

特許 03464206	2001.5.14	論理回路	<u>島村</u> 、森村、重松、町田、久良木
特許 03464206	2001.5.14	論理回路	<u>島村</u> 、森村、重松、町田、久良木
特許 03611784	2000.11.16	半導体集積回路装置	<u>島村</u> 、道関、品川
特許 03611784	2000.11.16	半導体集積回路装置	<u>島村</u> 、道関、品川
特許 03788804	2004.2.13	並列処理装置及び並列処理方法	<u>島村</u> 、森村、藤井、重松、町田
特許 03788804	2004.2.13	並列処理装置及び並列処理方法	<u>島村</u> 、森村、藤井、重松、町田
特許 03831346	2003.2.4	光スイッチ装置	<u>島村</u> 、浦野、石井、田辺
特許 03831346	2003.2.4	光スイッチ装置	<u>島村</u> 、浦野、石井、田辺
特許 03833988	2002.11.1	光スイッチ装置	<u>島村</u> 、浦野、石井、田辺
特許 03833988	2002.11.1	光スイッチ装置	<u>島村</u> 、浦野、石井、田辺
特許 04105725	2004.8.12	表面形状認識センサ装置	<u>島村</u> 、森村、重松、佐藤、浦野、町田
特許 04105725	2004.8.12	表面形状認識センサ装置	<u>島村</u> 、森村、重松、佐藤、浦野、町田
特許 04157557	2004.8.12	生体認識装置	<u>島村</u> 、森村、重松、佐藤、浦野、町田
特許 04157557	2004.8.12	生体認識装置	<u>島村</u> 、森村、重松、佐藤、浦野、町田
特許 04287324	2004.4.28	電子部品装置	<u>島村</u> 、浦野、石井、町田
特許 04287324	2004.4.28	電子部品装置	<u>島村</u> 、浦野、石井、町田
特許 04365264	2004.4.28	電子部品装置	<u>島村</u> 、浦野、石井、町田
特許 04365264	2004.4.28	電子部品装置	<u>島村</u> 、浦野、石井、町田
特許 04499447	2004.3.1	電子部品装置	<u>島村</u> 、浦野、石井、町田

特許 04499447	2004.3.1	電子部品装置 <u>島村</u> 、浦野、石井、町田
特許 04750876	2009.6.5	センサ回路およびセンサノード <u>島村</u> 、宇賀神、武藤
特許 04750876	2009.6.5	センサ回路およびセンサノード <u>島村</u> 、宇賀神、武藤
特許 04758467	2008.11.21	センサノード装置およびセンサノードシステム <u>島村</u> 、武藤、佐藤、宇賀神、鈴木、小野
特許 04758467	2008.11.21	センサノード装置およびセンサノードシステム <u>島村</u> 、武藤、佐藤、宇賀神、鈴木、小野
特許 04787106	2006.8.22	電子部品装置 <u>島村</u> 、森村、桑原、佐藤
特許 04787106	2006.8.22	電子部品装置 <u>島村</u> 、森村、桑原、佐藤
特許 04823295	2008.11.21	センサノードチップおよびセンサノードシステム <u>島村</u> 、武藤、佐藤、宇賀神、鈴木、小野
特許 04823295	2008.11.21	センサノードチップおよびセンサノードシステム <u>島村</u> 、武藤、佐藤、宇賀神、鈴木、小野
特許 04851559	2009.4.23	閾値回路 <u>島村</u> 、宇賀神、武藤
特許 04851559	2009.4.23	閾値回路 <u>島村</u> 、宇賀神、武藤
特許 04851560	2009.4.23	閾値回路 <u>島村</u> 、宇賀神、武藤
特許 04851560	2009.4.23	閾値回路 <u>島村</u> 、宇賀神、武藤
特許 04943807	2006.10.18	インピーダンス検出装置、インピーダンス検出方法、生体認識装置、および指紋認証装置 <u>島村</u> 、森村、下山、重松、中西
特許 04943807	2006.10.18	インピーダンス検出装置、インピーダンス検出方法、生体認識装置、および指紋認証装置 <u>島村</u> 、森村、下山、重松、中西
特許 04950950	2008.6.20	生体認識装置 <u>島村</u> 、森村、重松、中西
特許 04950950	2008.6.20	生体認識装置 <u>島村</u> 、森村、重松、中西
特許 04963504	2009.6.8	センサ回路およびセンサノード <u>島村</u> 、宇賀神、武藤
特許 04963504	2009.6.8	センサ回路およびセンサノード <u>島村</u> 、宇賀神、武藤
特許 05102262	2009.8.24	センサノードチップおよびセンサノードシステム <u>島村</u> 、宇賀神、鈴木、武藤
特許 05102262	2009.8.24	センサノードチップおよびセンサノードシステム <u>島村</u> 、宇賀神、鈴木、武藤
特許 05284993	2010.2.3	発電センサ素子およびセンサノード <u>島村</u> 、小野、桑原、宇賀神、佐藤、武藤
特許 05284993	2010.2.3	発電センサ素子およびセンサノード

			<u>島村</u> 、小野、桑原、宇賀神、佐藤、武藤
特許 05611934	2011.12.26	センサ回路	<u>島村</u> 、森村、宇賀神、原田
特許 05611934	2011.12.26	センサ回路	<u>島村</u> 、森村、宇賀神、原田
特許 05718217	2011.12.20	振動センサノード	
			<u>島村</u> 、大嶋、松永、森村、原田
特許 05718217	2011.12.20	振動センサノード	
			<u>島村</u> 、大嶋、松永、森村、原田
特許 05718218	2011.12.20	振動センサ	<u>島村</u> 、森村、原田
特許 05718218	2011.12.20	振動センサ	<u>島村</u> 、森村、原田
特許 05718219	2011.12.26	振動センサノード	<u>島村</u> 、森村、原田
特許 05718219	2011.12.26	振動センサ	<u>島村</u> 、森村、原田
特許 05738750	2011.12.20	発振回路	<u>島村</u> 、宇賀神、中村、松永、大嶋、原田
特許 05738750	2011.12.20	発振回路	<u>島村</u> 、宇賀神、中村、松永、大嶋、原田
特許 07014057	2022.1.24	物品管理システムおよび方法	
			<u>島村</u> 、岡部、山本、石井
特許 7077813	2022.5.23	物品管理システムおよび方法	
			<u>島村</u> 、岡部、山本、石井
特許 7028089	2022.2.21	電池残量電池管理システムおよび方法	
			<u>島村</u> 、岡部、山本、石井
特許 7276460	2023.5.10	リハビリ啓発システムおよび方法	
			<u>島村</u> 、中辻、沖川、石井、土居、吉橋

7. 外国特許

[出願特許] 85 件(代表発明: 28 件、共同発明: 55 件)

[取得特許] 40 件(代表発明: 12 件、共同発明: 28 件)

(筆頭登録特許)

CN100419668, 2005.11.16, Parallel processing device and parallel processing method,

T.Shimamura, H. Morimura, K. Fujii, S. Shigematsu, K. Machida

CN100367912, 2005.11.16, Organism recognition system,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida

CN100374815, 2005.11.23, Surface shape recognition sensor device,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida

US7366332, 2005.11.24, Surface shape recognition sensor,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
US7480785, 2005.11.24, Parallel processing device and parallel processing
method,

T.Shimamura, H. Morimura, K. Fujii, S. Shigematsu, K. Machida
EP1536203, 2005.6.1, Surface shape recognition sensor device,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
US7548636, 2006.2.16, Organism recognition system,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
EP1643356, 2006.4.5, Parallel processing device and parallel processing
method,

T.Shimamura, H. Morimura, K. Fujii, S. Shigematsu, K. Machida
EP1679036, 2006.7.12, Organism recognition system,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
CN100524344, 2007.9.5, Surface shape recognition sensor device,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
US7508963, 2008.8.7, Surface shape recognition sensor device,

T.Shimamura, H. Morimura, S. Shigematsu, N. Sato, M. Urano, K. Machida
US11222525, 2022.1.11, Article Management System and Method,

T. Shimamura, Y. Okabe, T. Yamamoto, Y. Ishii

8. 技術雑誌

6件(筆頭:1件、共著:5件)

(8.1) T. Shimamura, N. Shimoyama, T. Sakata, S. Shigematsu, K. Machida, M.
Nakanishi

“A Fingerprint Sensor LSI with Impedance Sensing for Fraud Detection”

New Breeze Summer 2008, pp.20-21.

(8.2) 久良木億, 藤井孝治, 町田克之, 森村浩季, 重松智志, 島村俊重

“指紋認証システム 高性能指紋センサ LSI 技術”

NTT R & D, vol.51, no.3, pp. 194-200, Mar. 2002.

(8.3) 重松智志, 森村浩季, 羽田野孝裕, 中西衛, 藤井孝治, 池田奈美子, 島村俊重, 町田克之, 岡崎幸夫

“ユビキタスセンサ ワンチップ指紋認証 LSI”

NTT 技術ジャーナル, vol.18, no.6, pp. 8-12, Jun. 2006.

(8.4) 桑原啓, 佐藤昇男, 島村俊重, 森村浩季, 小舘淳一, 石井仁

“MEMS デバイス技術 集積化 RF MEMS 技術”

NTT 技術ジャーナル, vol.19, no.7, pp. 19-23, Jul. 2007.

(8.5) M. Ugajin, T. Shimamura, M. Harada, A. Yamagishi, K. Suzuki

“Power-management-circuit Techniques for Low-power Intermittent LSI Operation in Wireless Applications,”

NTT Tech Rev (Web), vol. 9, no. 12, Dec. 2011.

(8.6) 大嶋尚一, 松永賢一, 島村俊重, 森村浩季, 原田充

“極限的な低消費電力を目指したハードウェア技術 ナノワット級超小型バッテリーレス・無線センサ端末技術”

NTT 技術ジャーナル, vol.24, no.12, pp. 24-27, Dec. 2012.

9. 書籍

(9.1) 宇賀神守, 島村俊重, 原田充, 森村浩季

環境発電ハンドブック～電池レスワールドによる豊かな環境低負荷型社会を目指して～

第 14 章 無線センサノード, 2012.11

10. 報道発表

(10.1) 日本経済新聞 “ニセ「指」確実に見破ります” 2008.3.21

(10.2) 日経エレクトロニクス “環境発電の省エネが進展 1 μ W 以下で動作可能に” 2011.9.19

(10.3) 日刊工業新聞 “振動を電力に変換、センサー端末試作” 2011.9.26

(10.4) 電経新聞 “研究派(152)超小型端末技術 M2M、ビッグデータの進化系 NTT マイクロシステムインテグレーション研究所 島村俊重氏” 2012.4.9

賞罰

MNC 2006 Award for Most Impressive Presentation

“Prevention of Release-Related Sticking in MEMS Devices by Electrodeposition of Water-Repellent Film” 2006.10

電子情報通信学会 論文賞

“Fingerprint Image Enhancement and Rotation Schemes for a Single-Chip Fingerprint Sensor and Identifier” 2007.5

第 26 回センサマイクロマシンシンポジウム 集積化MEMSシンポジウム 優秀論文賞
“容量型指紋センサ LSI における不正検出のためのインピーダンス検出手法”
2009.10

電子情報通信学会 平成 24 年度エレクトロニクスソサイエティ活動功労賞

“電子部品・材料研究専門委員幹事としての活動及び論文特集号企画の貢献”
2013.3

NTT 生活環境研究所長表彰 特別賞

“指紋認証プロジェクト推進への貢献” 2002.1

NTT 先端技術総合研究所長表彰 研究開発賞

“ワンチップ型指紋認証技術の開発” 2005.12

NTT マイクロシステムインテグレーション研究所長表彰 特別賞

指紋 LSI 信頼性解析” 2006.3

NTT マイクロシステムインテグレーション研究所長表彰 特別賞

サイエンスプラザ運営委員としての貢献 2011.3

NTT 先端技術総合研究所長表彰 特許発明賞

ナノワットセンサーノードの基本発明 2011.12