

ダイナミック型メモリの高性能化・新機能付加に関する研究

島野 裕樹

情報通信システム等で使用される大規模SoC(システム・オン・チップ)では、性能向上のために大容量のメモリが必要であり、小面積で大容量のメモリを実現できるダイナミック型メモリ(DRAM)を内蔵することが行われているが、次のような技術課題が存在する。

- ① プロセスの微細化によりSoCの低電圧化が進む中、DRAMの低電圧化は困難になった
- ② DRAMでは内部電源発生回路面積が必要であるため、1Mbit以下の小メモリ容量領域では、スタティックメモリ(SRAM)に対するマクロ面積優位性が小さくなる
- ③ 標準CMOSプロセスにDRAMメモリセルを形成する工程の追加が製造コストを上昇させる
- ④ DRAMでデータ保持を行なうリフレッシュ動作が必要であり、超低消費電力データ保持を必要とする電池駆動のモバイルSoC用途での使用は困難である
- ⑤ SoCの性能向上・低消費電力化のため記憶動作以外に演算やデータ比較といった新機能を実現できる柔軟性が求められる

本研究は上記の課題を解決するために、まず①、②の課題に対しては、1対のメモリセルに相補のデータをビット情報として記憶することで、低電圧化の足かせとなっていたメモリセルの特性バラツキの影響度を大幅に抑える、2Cell/bit-メモリアレイアーキテクチャーによるDFM (Design For Manufacturability) RAMを考案した。次に、②、③の課題に対しては、90nm以降のSoCで使用が始まったSOI (Silicon On Insulator) 基板上で、SOIトランジスタのフローティングボディ電位の変化によって、ビット情報を記憶させる、キャパシタを必要としないDRAMであるTT (Twin Transistor) RAMを考案した。④の課題に対しては、リフレッシュ動作、内部電源遮断動作、内部電源回復動作を繰り返して、データ保持しながら超低消費電力待機状態を実現する、パワーカットスキームと呼ぶ手法を考案した。最後に、⑤の課題に対しては、SOIトランジスタを2個直列接続させてAND演算機能を持たせたメモリセルと周辺の信号パスをモードによって切り換える機能を組み合わせて、バッファメモリ機能以外に、演算器の機能、連想メモリの機能をプログラム可能にするマルチファンクションプログラマブルSOI-演算メモリを考案した。

以上、DRAMを用いたSoC混載メモリにおける①～⑤の課題を、本研究で考案した、新しい構造のDRAMセル構造、及び、新規回路の付加によって解決することができた。