

主 論 文 要 旨

高性能スーパースカラプロセッサに関する研究

ふりがな もう りん
氏 名 孟 林

現在主流であるスーパースカラプロセッサでは、熱問題、消費電力、信頼性などの問題が深刻になりつつある。このため、周波数向上や大規模ハードウェアの追加に頼らず、命令レベル並列処理を最大限利用したプロセッサの高性能化は重要な課題となっている。本研究では、命令レベル並列処理の障害となっているデータ依存、制御依存の更なる削減により、高性能なスーパースカラプロセッサの実現を目指している。

データ依存の削減に関して、2つの ALU を連結することによりデータ依存関係を生じる2つの命令を並列に実行できる CHAIN 手法が提案されている。しかし、従来の命令スケジューリング手法では CHAIN 手法をうまく活用できない。我々は CHAIN 手法に適應するため、依存マップを用いた命令スケジューリング手法を提案した。シミュレーション評価により、命令発行幅が8の場合に12%のIPC向上が得られ、有効性が示された。

制御依存の緩和において、分岐の予測は重要な技術である。近年のプロセッサでは命令発行幅やパイプラインの段数の増加により、大きな予測ミスの特罰を生じる。したがって、予測の精度を高めることが重要である。我々は、従来の予測器で予測ミスが一部の分岐命令に集中的に発生している特徴を発見した。本研究ではこの特徴を利用し、ミスの頻度の高い分岐命令に限定してローカル履歴を用いた専用予測器を従来予測器に追加し、予測ミスを削減する方式を提案する。実験により、SPECint2000において9%程度の予測ミスを削減できることを確認した。

さらに、制御依存の緩和のためには、分岐予測ミスを生じた分岐命令以降のすべての命令を取り消さずに再利用する Control Independence (CI) が挙げられる。しかし、従来の CI 手法は、Re-renaming のためのオーバーヘッドが大きい、適用範囲が限定されるなどの欠点がある。我々は、分岐予測時に2つのパスの Renaming を行い、その結果を保存することにより再利用性を容易にする CI 手法 (Dual Renaming) を提案する。これにより、小さなハードウェアの追加で適用範囲の広い CI が可能となる。実験により、提案手法により最大 29.52%のIPC向上が得られた。

A Research on High performance Superscalar Processor

りん もう
Lin Meng

Abstract

High performance superscalar processors are required in various fields. We propose three ideas to increase the performance of superscalar processors by reducing data dependency and control dependency.

In order to reduce data dependency, the CHAIN method was proposed. The CHAIN method bypasses result of an ALU to another ALU. Hence, data dependent instructions can be executed in the same clock. But, current instruction scheduling does not fit for the CHAIN method. We propose a new instruction scheduling for the CHAIN method by using dependency map. Simulation result shows that proposed method increases IPC by 12% in the case of issue width 8.

In order to reduce control dependency, branch prediction is quite important. Current superscalar processors tend to increase pipeline stages and issue width, which cause heavy penalty for branch prediction miss. Hence, increasing accuracy of branch prediction is important. We observed a behavior of a current branch predictor, and found that a large rate of miss-predictions is occupied by a few branches. Then we propose a novel branch prediction mechanism for miss-prediction biased branch. This mechanism is attached to a conventional branch predictor, and utilizes local history of biased branch instructions without conflict aliasing. Simulation result shows that the proposal reduces miss-prediction about 9% at SPECint2000.

Modern superscalar processor squashes up all of wrong-path instructions when the branch prediction misses and brings a larger penalty. Exploiting control independence (CI) has been proposed for reducing this penalty by reusing CI instructions without squashing when branch prediction misses. But conventional researches of CI architecture requires complex Re-renaming mechanism, or with a limited applicability. We propose a new simple CI mechanism named Dual Renaming. It utilizes current renaming mechanism by assigning two tags for each source register of CI instruction at branch prediction. Simulation result shows that Dual Renaming mechanism increases IPC by maximum 29.52%.