

# 大規模集積回路における電源及び回路動作の信頼性向上に関する研究

川上 善之

半導体集積化技術の進展によって、高性能でかつ大規模なシステムLSIが実現できるようになった。一方で、シグナル・インテグリティやパワー・インテグリティの問題、トランジスタサイズやしきい値などの製造起因のばらつきが増大しており、回路の高信頼動作を阻害する要因が増している。大規模なLSIの回路動作の信頼性を向上するためには、製造ばらつきが生じた場合でも回路が誤動作しないロバストな電源設計が必要不可欠である。

本論文では、まず、製造ばらつきが生じた場合でも回路全体として信頼性の高い良好な解を得ることができる電源設計最適化手法を提案する。提案する手法は、IRドロップやエレクトロマイグレーション等を単に制約として扱うのではなく、少しでも設計制約値より安全な解を目指すものである。IRドロップやエレクトロマイグレーション、配線面積等の多次元の設計指標を設計リスク及び安全度という共通の概念でまとめ、それらを同時最適化することにより、トレードオフ関係にある全ての設計指標を、安全度の高い状態に収束させる。従来手法と比較して、製造ばらつき等の不確定要素がある場合に、回路全体として信頼度の高い良好な解を得る点で優位である。

次に、電源設計段階において製造ばらつきやIRドロップによる回路遅延ばらつきを考慮できる電源設計最適化を実現する。IRドロップと回路遅延ばらつきによるタイミングエラーが発生する危険度を設計リスクで表現し、製造ばらつきとIRドロップとタイミングを直接関連付けるモデリング手法を構築する。これにより、電源設計時にタイミングエラーリスクを観測しながら最適化ができる。さらに、統計的静的タイミング解析と組み合わせることにより、クリティカルパスのタイミングエラーリスクを直接観測しながら最適化が可能となる。

最後に、ITRS/65nm テクノロジーに基づく複数のLSIの例に対して提案手法を適用し、それらの有効性を示す。以上より、製造ばらつきやIRドロップによる回路遅延ばらつきを電源設計時に考慮した設計最適化が可能となり、よりばらつきに強く、かつ回路の高信頼性を保証する電源設計が実現できる。