

# 主 論 文 要 旨

2010年12月24日

論文題名 低コスト高性能なオンチップネットワークのための  
マイクロアーキテクチャ機構

ふりがな ぐえん ちゅおん そんな  
学位申請者 NGUYEN TRUONG SON

## 主論文要旨

LSI 技術の集積度の向上により、単一チップ内に多数のコアを搭載するシステム・オン・チップが実現可能になっている。システム・オン・チップでは、チップ内のコア間通信のため、チップ内のネットワークが重要な役割を担っている。オンチップネットワークでは、適切なハードウェア規模で高スループット・低レイテンシであることが求められている。本論文では、低コスト・高性能なオンチップネットワークを開発するためのいくつかのマイクロアーキテクチャ機構を提案する。

最初に、単一仮想出力キューイング (VOQ) 方式に基づいた低コスト低レイテンシのルータアーキテクチャを提案する。本提案では出力チャンネル毎に一つの専用の仮想チャンネル (VC) を備えることにより、簡潔なハードウェアでルータのクリティカルパスを最小化することができる。FPGA 上での実装結果により、本提案による単一 VOQ ルータは従来方式に比べて制御部分のハードウェア規模を 64.5%まで減少でき、通信レイテンシを 45.5%まで削減できた。

次に、ネットワークの重い負荷に対応するため、デッドロックを回避しつつトラフィックの混雑の影響を軽減する複数 VOQ ルータのアーキテクチャを提案する。出力チャンネル毎に対して、単一 VC の代わりに複数の小さい VC を備えることにより、クリティカルパスを増大することなく、トラフィックの混雑を改善することができる。FPGA 上での実装の結果、本方式が従来方式に比べて制御部分のハードウェア規模を 15.6%まで削減し、通信レイテンシを 45.5%まで削減できることが示された。

さらに、「on-the-fly VC 割り当て」と呼ばれるメカニズムを提案する。これはパケットがクロスバスイッチを通過している時に VC 割り当てを実行することにより、ルータのパイプラインを短縮することが可能になる。従来方式のような投機的処理を行わないため、ルータのスループットを向上することができる。FPGA 上での実装の結果、on-the-fly VC 割り当て方式のルータは、従来方式に比べてハードウェア規模を増加することなく、通信レイテンシを 40.9%まで削減でき、スループットを 47.6%まで向上できた。